

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010014785 A  
(43)Date of publication of application: 20.04.2000

(21)Application number: 1020000020950  
(22)Date of filing: 26.02.2001

(71)Applicant: SEMICONDUCTOR ENERGY  
LABORATORY K.K.  
SHARP CORPORATION

(72)Inventor: OGAWA HIROYUKI  
TOMIYASU KAZUHIDE  
KAWASAKI RITSUKO  
KITAKADO HIDETO  
KASAHLRA KENJI  
YAMAZAKI SHUNPEI

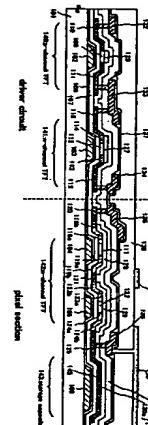
(51)Int. Cl

H01L 29 /786

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57) Abstract:

PURPOSE: A semiconductor device is provided to enhance the performance characteristic and the reliability by a method wherein the structure of a thin film transistor(TFT) which is arranged on every circuit of the semiconductor device is made proper according to the function of the circuit. CONSTITUTION: An active matrix substrate which comprises a pixel part and its drive circuit is formed on the same substrate. An n-channel TFT(141) and a p-channel TFT(140) are formed in the drive circuit. An n-channel TFT(142) is formed in the pixel part. In addition, a capacitance interconnection



(106) which is formed simultaneously with a gate electrode, an insulating film which is formed of the same material as a gate insulating film, and a semiconductor layer(145) which is connected to the source or drain region(125) of the n-channel TFT(142) and with which an impurity element used to give an n-type is doped, constitute a holding capacitance(143). Consequently, the structure of every TFT constituting every circuit is optimized according to specifications required by the pixel part and the drive circuit and the operating performance and the reliability can be enhanced.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20050420)  
Notification date of refusal decision (00000000)

**Final disposal of an application (application)**

Date of final disposal of an application (00000000)

Patent registration number ( )

Date of registration (00000000)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(S1) Int. Cl.  
HOIL 29/786

(11) 공개번호 특2001-0014785  
(43) 공개일자 2001년02월26일

(21) 출원번호	10-2000-0020950
(22) 출원일자	2000년 04월 20일
(30) 우선권주장	99-111592 1999년 04월 20일 일본(JP)
(71) 출원인	가부시키기이사 한도오따이 에네루기 켄큐쇼 야마자끼 순페이 일본국 가나가와켄 아쓰기시 하세 398사포 가부시키기이사 마찌다 가즈히코
(72) 발명자	일본 오사까후 오사까시 아베노구 나가이제조 22방 22고 오가와히로유키 일본, 오사카545-0013, 오사카시, 아베노구, 나가이케초 22-22 사포가부시키기이사 내 토미야수카주하데 일본, 오사카545-0013, 오사카시, 아베노구, 나가이케초 22-22 사포가부시키기이사 내 카와사키리추코 일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398가부시키기이사 한도오따이에네루 기켄큐쇼내 기타카도히데토 일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398가부시키기이사 한도오따이에네루 기켄큐쇼내 카사하라켄지 일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398가부시키기이사 한도오따이에네루 기켄큐쇼내 야마자끼순페이 일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398가부시키기이사 한도오따이에네루 기켄큐쇼내 미병호 (74) 대리인

### 설사형구 : 없음

#### (54) 반도체 장치 및 이의 제조방법

五

卷之五

五九

4204

불순물 농도, 화소부, 게이트 전극, 이미지 센서, 액정

三

도전의 전문화 쓰임

도 110 표 실시현태에 따른 화소부 및 구동기 회로의 단면도.

도 2a 대지 2는 제조골정에서 화수부 및 구동기 회로의 단연도.



은 구동전압이 인가되기 때문에 TFT는 고전압이 인기되어도 브레이크다운되지 않게 높은 내전압을 가져야 한다. 전류 구동 캐퍼시터를 개선하기 위해서, 온 전류값을 충분히 확보할 필요가 있다(TFT가 온 동작 상태에 있을 때 흐르는 드레인 전류값).

그러나, 오프전류는 결정질 실리콘 TFT에서 하이로 될 수 있을 문제가 있었다. IC 등에 사용되는 MOS 트랜지스터와 같이 결정질 실리콘 TFT에서 온 전류값의 강하와 같은 저하가 관찰된다. 주 원인은 핫 캐리어 주입인 것으로 여겨지며, 드레인 근처의 전계에 의해 발생된 핫 캐리어가 이러한 저하를 초래하는 것으로 보인다.

LDD(lightly doped drain) 구조는 오프 전류값을 낮추는 TFT 구조로서 알려져 있다. 이러한 구조는 채널 형성영역과 불순들이 고농도로 도핑된 소스 혹은 드레인 영역 사이에 저농도의 불순을 영역을 형성한다. 저농도 불순을 영역을 'LDD 영역'이라고 한다.

소위 'GOLD(게이트-드레인 중첩된 LDD) 구조'는 LDD 영역이 게이트 절연막을 통해 게이트 배선이 중첩되게 배열된 구조로서 핫 캐리어 주입에 의해 온 전류값의 저하를 방지하는 구조로서도 알려져 있다. 이러한 구조를 형성할수록, 드레인 근처의 높은 전류가 경감되고 핫 캐리어 주입이 방지되어 저하 현상을 막는데 효과적이다. 예를 들면, 무초코 하다노, 하지에 아키모토 및 타케시 시카이, IEDN97 케크니 벌 디아제스, 523-526, 1997에는 실리콘으로부터 형성된 측벽에 의해 형성된 GOLD 구조를 개시하고 있으며, 이 구조는 다른 구조를 갖는 TFT보다 훨씬 높은 신뢰성을 제공하는 것이 확인되었다.

그러나, 화소부의 화소 TFT의 요구된 특성과, 시프트 리지스터 및 버퍼회로와 같은 구동기 회로의 TFT의 요구된 특성은 항상 동일하지 않다. 예를 들면, 큰 역 바이어스 전압(n채널 TFT에서 물결압)은 화소 TFT 내 게이트 배선에 인가되지만 구동회로의 TFT는 역 바이어스 전압의 인가에 의해 근본적으로 구동되지 않는다. 더욱이 전자의 동작속도는 후자의 1/100보다 낮을 수도 있다.

GOLD 구조는 온 전류값의 저하를 방지하는데 큰 효과가 있으며 사실 그러하지만 통상의 LDD 구조보다 오프 전류값이 크게 되는 문제가 있다. 그러므로, 화소 TFT에 적용할 비량직한 구조가 아니었다. 반대로, 통상의 LDD 구조는 오프 전류값을 제약하는데 큰 효과가 있으나, 핫 캐리어 주입에 기인한 저하는 해결하지 못한다.

이러한 이유로, 액티브 매트릭스형 액정 디스플레이 장치와 같은 복수의 접적회로를 갖는 반도체 장치에 동일한 구조로 모든 TFT를 구동하는 것이 향후 바람직하지 않다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제를 해결하는 기술이며 본 발명은 각각의 회로의 할수에 따라, 반도체 장치의 각 회로에 사용되는 TFT의 구조를 최적화함으로써 반도체 장치의 동작성능 및 신뢰성을 개선하는 것을 목적으로 한다.

### 발명의 구성 및 작용

전술한 문제를 해결하기 위해서, 본 발명의 구성을 활성층, 상기 활성층에 제공된 LDD 영역, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 n채널 TFT를 포함하는 적어도 n채널 TFT를 포함하는 화소부; 및 구동기 회로를 포함하는 반도체 장치에 있어서, 상기 화소부의 상기 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 화소부의 게이트 전극과 중첩하도록 배치되고, 상기 구동회로의 n채널 TFT의 LDD 영역은 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되며, n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 한다.

본 발명의 또 다른 구성은 활성층, 상기 활성층에 제공된 LDD 영역, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 n채널 TFT를 포함하는 화소부; 및 구동기 회로를 포함하는 반도체 장치에 있어서, 상기 화소부의 상기 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 화소부의 게이트 전극과 중첩하도록 배치되고, 상기 구동회로의 n채널 TFT의 LDD 영역은 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되며, n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 한다.

본 발명의 또 다른 구성은 활성층, 상기 활성층에 제공된 LDD 영역, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 n채널 TFT를 포함하는 화소부; 및 상기 화소부의 주변에 설치된 구동기 회로를 포함하는 반도체 장치에 있어서, 상기 화소부의 상기 n채널 TFT의 제1 LDD 영역은 상기 화소부의 게이트 전극과 중첩하도록 배치되고, 상기 구동회로의 상기 n채널 TFT의 제2 LDD 영역은 상기 화소부의 게이트 전극과 중첩하도록 배치되며, 상기 구동회로의 상기 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되고, n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 한다. n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 제1 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 더하는 불순을 원소는 상기 화소부의 n채널 TFT의 제2 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 미만의 농도로 상기 구동회로의 n채널 TFT의 LDD 영역 및 상기 구동회로의 n채널 TFT의 제2 LDD 영역에 포함되는 것이 바람직하다.

본 발명의 또 다른 구성은 활성층, 상기 활성층에 제공된 LDD 영역, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 n채널 TFT를 포함하는 화소부; 및 상기 화소부의 주변에 설치된 구동기 회로를 포함하는 반도체 장치에 있어서, 상기 화소부의 상기 n채널 TFT의 LDD 영역은 상기 화소부의 게이트 전극과 중첩하도록 배치되고, 상기 구동회로의 상기 n채널 TFT의 LDD 영역은 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되고, n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농

도로 상기 구동회로의 7~8회 T/F의 100 영역에 포함된 것을 특징으로 한다.

상기 본 발명의 구성에서,  $n$ 형을 부여하는 불순물 원소는 상기 화소부의  $n$ 채널 TFT의 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 미만의 농도로 상기 구동회로의  $n$ 채널 TFT의 LDD 영역에 포함되는 것이 바람직하다.

더욱이, 본 탈영의 전술한 구성에서, 화소부의 저장 캐페시터는 상기 활성층에 접속된 반도체층, 상기 반도체층과 상기 기판사이에 설치된 절연막, 및 상기 절연막과 상기 기판간에 설치된 용량배선으로 형성된 것을 특징으로 한다.

반도체 장치 제조방법에 관하여, 본 발명의 구성은 동일 기판에 화소부 및 미의 주변에 설치된 구동기 회로를 포함하는 반도체 장치를 제조하는 방법에 있어서, 상기 화소부 및 상기 구동기 회로에, 팔성층, 상기 팔성층에 제공된 LDD 영역, 상기 팔성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 게이트가 활성층에 포함하는 n채널 TFT를 형성하는 단계를 포함하며, 상기 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 n채널 TFT를 형성하는 단계를 포함하며, 상기 절연막과 상기 기판 사이에 설치된 게이트 전극과 중첩하는 화소부의 게이트 전극과 중첩하는 화소부의 상기 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 화소부의 게이트 전극과 중도록 배치되고, 상기 구동회로의 n채널 TFT의 LDD 영역은 상기 구동회로의 n채널 TFT의 게이트 전극과 중도록 배치되며, 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 높도록 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 한다.

본 발명의 또 다른 구성은 동일 기판에 화소부 및 이의 주변에 설치된 구동기 회로를 포함하는 반도체 장치를 제조하는 방법에 있어서, 상기 화소부 및 상기 구동기 회로에, 활성층, 상기 활성층에 제공된 LDD 영역, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 n채널 TFT를 형성하는 단계를 포함하며, 상기 화소부의 상기 n채널 TFT의 LDD 영역의 쪽에서도 일부 흙은 그 전부는 상기 화소부의 게이트 전극과 중첩하도록 배치되고, 상기 구동회로의 n채널 TFT의 LDD 영역의 적어도 일부 흙은 그 전부는 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되며, n형을 부여하는 물질을 유통하는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 흙은 둘도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 한다.

본 발명의 또 다른 구성을 동일 기판에 화소부 및 이의 주변에 설치된 구동기 회로를 포함하는 반도체 장치를 제조하는 방법에 있어서, 상기 화소부 및 상기 구동기 회로에, 활성층, 상기 활성층에 제공된 LDD 층을 제조하는 방법에 있어서, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 게이트 절연막과 상기 기판 사이 영역, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 기판 사이 영역에 상기 기판 사이 영역, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 기판 사이 영역에 상기 기판 사이 영역에 설치된 게이트 전극을 포함하는 n채널 TFT를 형성하는 단계를 포함하며, 상기 화소부의 상기 n채널 TFT의 TFT의 LDD 영역은 상기 화소부의 게이트 전극과 중첩하도록 배치되고, 상기 구동회로의 상기 n채널 TFT의 TFT의 LDD 영역은 상기 구동회로의 게이트 전극과 중첩하도록 배치되고, n형을 부여하는 불순물을 원 LDD 영역은 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 한다.

상기 본 발명의 구성에서,  $n$ 형을 부여하는 불순물 원소는 상기 화소부의  $n$ 채널 TFT의 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 미만의 농도로 상기 구동회로의  $n$ 채널 TFT의 LDD 영역에 포함된 것을 특징으로 한다.

더욱이 본 발명의 전술한 구성에서, 화소부의 저장 캐패시터는 상기 활성층에 접속된 반도체층, 상기 반도체층과 상기 기판사이에 설치된 절연막, 및 상기 절연막과 상기 기판간에 설치된 용량배선으로 형성된 것을 특징으로 한다.

본 발명의 실시예를 도 1을 사용하여 기술한다. 도 1은 화소부의 TFT의 단면 구조 및 동일한 기판에 형성된 구동기 회로를 도시한 것이다.

기판(101)은 절연면을 갖고 있고, 유리기판, 석영기판, 플라스틱 기판 등의 절연 기판이 외에서, 절연막이 형성된 표면 상에 금속기판, 실리콘 기판 혹은 세라믹 기판을 이용하는 것이 가능하다. 유리기판에 있어 예를 들면, 고온에서 저온으로 대표되는 낮은 열활리 유리기판을 적용하는 것이 바람직하다. 주요 구성을 표시한 그림 1은 고온에서 저온으로 대표되는 낮은 열활리 유리기판을 포함하는 절연막을 표시하는 것으로 부록 1과 동일하다.

게이트 전극(102 내지 105)은 알루미늄(Al), 티타늄(Ti), 탄탈륨(Ta), 크롬(Cr), 몽스텐(Mo), 텁스텐(W), 니켈(Ni) 및 구리(Cu)로 구성된 그물으로부터 선택된 하나 혹은 복수의 원소를 포함하는 물질들로부터 형성되며, 테이퍼상에 위치를 갖는 패턴으로 형성된다. 도면에 더 도시되어 있지 않지만, 물질들의 적층구조가 형성되며, 테이퍼상에 위치를 갖는 패턴으로 형성된다. 도면에 더 도시되어 있지 않지만, 물질들의 적층구조도 적용될 수 있다. 예를 들면, 질화탄탈륨(TaN) 및 Ta의 미중층 구조는 기판으로부터 이 순서로 형성될 수 있다. 또한, 게이트 전극의 표면을 낮도록 양극산화로 산화막이 형성될 수도 있다.

게임트 전국을 둘도록 형성되는 게임트 절연막은 절화설리문막(106) 및 산화설리문막(107)으로부터 형성된다. 이중구조가 여기 도시되었지만, 단층 구조일 수도 있으며 상기 물질로 한정하는 것은 필요하지 않다. 게임트 절연막의 두께는 20 내지 200mm일 수 있고 바람직하게는 150 내지 200mm이다.

게이트 전극 및 게이트 절연막을 기판(101)으로부터 이 순서로 형성한 후에, 결정질 반도체막은 활성층에 적용되고 성으로 형성된다. 결정질 반도체막에 대한 제조방법에 제한은 있으나, 비정질막인 레이저 결정화 혹은 열 결정화에 의해 결정화되는 기술, 혹은 비정질 실리콘의 결정화를 촉진하는 속매원소를 사용하는 결정화 기술로 제조된 결정질 실리콘막을 사용하는 것이 가장 바람직하다. 그럼에도 불구하고, 실리콘에 다른 반도체 물질로 대치하는 것이 가능하다. 활성층의 두께는 20 내지 150nm으로, 바람직하게는 30 내지 75nm으로 형성된다.

채널 형성영역(109), 소스영역(110) 및 드레인 영역(111)은 구동기 회로의 p-채널 TFT(140)의 활성층에 형성된다. 채널 형성영역(112), 소스영역(115), 드레인 영역(116) 및 LDD 영역(113, 114)은 n-채널 TFT(141)의 활성층에 형성된다. n-형을 부여하는 불순률 원소는 이를 LDD 영역(113, 114)에  $5 \times 10^{17}$  내지  $5 \times 10^{18} \text{ cm}^{-3}$  농도로 포함된다. n형을 부여하는 불순률 원소로서 반도체 기술 분야에 공지된 원소가 사용될 수 있으며, 통상 인(P) 혹은 비소(As)가 사용될 수 있다. 게이트 절연막을 사용하여 게이트 전극(103)을 중첩시키기 위해 LDD 영역(113, 114)이 제공된 60L0 구조이다.

채널 형성영역(117, 122), 소스 혹은 드레인 영역(120, 121, 125), 및 LDD 영역(118a, 118b, 119a, 119b, 123a, 123b, 124a, 124b)은 화소부 내의 n-채널 TFT(142)의 활성층에 설치된다. 이를 LDD 영역에 n형을 부여하는 불순률 원소의 농도는  $5 \times 10^{17}$  내지  $5 \times 10^{18} \text{ cm}^{-3}$ 의 범위일 수 있으나, 구동기 회로의 n채널 TFT의 LDD 영역(113, 114)의 불순률 농도의 1/2 내지 1/50로 농도를 설정하는 것이 바람직하다.

구동기 회로에 n채널 TFT의 LDD 영역은 드레인 근처의 고전계를 경감시켜, 핫 캐리어 주입에 기인한 온전류값의 저하를 방지하는 주요 목적을 위해 설치된다. 그러므로 n형을 부여하는 불순률 원소의 적합한 농도는  $5 \times 10^{17}$  내지  $5 \times 10^{18} \text{ cm}^{-3}$  일 수 있다. 반대로 화소부에서 n채널 TFT의 LDD영역은 오프 전류값을 감소시키는 주요 목적을 위해 제공된다.

구동기 회로에서 n채널 TFT의 게이트 전극을 중첩하는 LDD 영역의 길이(이하 Lov 영역이라 함, 'ov'는 줄점을 의미함)는 3 내지 8μm의 채널 길이에 대해 0.5 내지 3.0μm, 전형적으로는 1.0 내지 1.5μm일 수 있다. 더욱이, 화소부에서 채널길이방향으로 n채널 TFT의 게이트 전극을 중첩하는 LDD 영역의 길이(이하 Loff 영역이라 함, 'off'는 오프셋을 의미함)는 0.5 내지 3.5μm, 전형적으로는 1.5 내지 2.5μm일 수 있다.

채널 보호층(126 내지 129)은 산화 실리콘막 등으로부터 형성된다. 이를은 도면에 도시한 바와 같은 활성층 상에 전류해 있을 수 있어도 제1 층간 절연막(130)을 형성하기 전에 제거될 수 있다. 제1 층간 절연막(130)은 질화실리콘막, 미산화 실리콘막, 혹은 질화 산화 실리콘막으로부터 혹은 이들의 조합된 적층 구조로 형성될 수 있다. 예를 들면, 질화 산화 실리콘막(130a) 및 미산화 실리콘막(130b)일 수 있다. 더욱이 제1 층간 절연막의 두께는 500 내지 1500nm일 수 있다.

각각의 TFT의 소스 혹은 드레인에 도달하는 접촉구멍이 제1 층간 절연막 내에 형성되며, 소스배선(132, 134, 135) 및 드레인 배선(133, 136)이 형성된다. 도시되어 있진 않지만, 배선은 Ti막이 150nm로 형성되고 Ti를 포함하는 AI막이 300nm로 형성되고 Ti막이 100nm로 형성된 3층 적층구조로 형성될 수 있다.

보호막(passivation film)(137)은 질화실리콘막, 산화 실리콘막 혹은 질화산화 실리콘막으로부터 30 내지 500nm, 통상은 50 내지 200nm의 두께로 형성된다. 제2 층간 절연막(138)은 대략 1000nm의 두께로 형성된다. 제2 층간 절연막은 폴리아미드, 폴리아미드 아크릴릭, 폴리아미드 아미드, 벤조크릴로부틴 등과 같은 유기 수지막을 사용하여 형성될 수 있다. 유기 수지막을 사용하는 잊점으로서 다음을 볼 수 있다. 막 피복이 쉬워, 비 유전성수가 낮아 가성용량이 감소될 수 있고, 평탄도가 우수하다. 예를 들면, 열폴리머화형 폴리아미드가 사용될 때, 대략 300°C로 형성될 수 있다. 전술한 것과는 다른 유기 수지막, 혹은 유기 산화 실리콘 화합물을 사용하는 것이 가능하다.

화소부에서, 드레인 배선(136)에 도달하는 접촉홀은 제2 층간 절연막(138) 및 보호막(137)에 형성되고 화소전극(149, 144)가 형성된다. 투과형 디스플레이 장치의 경우 화소전극용으로 투명 도전막이 사용될 수 있으며 반사형 디스플레이 장치를 형성할 때 있어서는 금속막이 사용될 수 있다. 투명 도전막으로 적합한 물질은 인듐 산화물( $\text{In}_2\text{O}_3$ ), 주석 산화물( $\text{SnO}_2$ ) 및 아연 산화물( $\text{ZnO}$ )이며 통상은 인듐 주석 산화물(ITO)막으로 막이 형성된다.

이러한 구조에 의해서 등일 기판에 화소부와 구동기 회로를 포함하는 액티브 매트릭스 기판이 형성된다. 구동기 회로에서 n채널 TFT(141) 및 p채널 TFT(140)이 형성되고 CMOS 회로에 기초한 논리회로를 형성하는 것이 가능하다. n채널 TFT(142)는 화소부에 형성되며, 게이트 전극과 동시에 형성된 용량배선(106), 게이트 절연막과 동일한 물질로 형성된 절연막, 및 소스나 드레인 영역(125)에 접속되고 n형을 부여하는 불순률 원소가 혼가된 반도체층(145)을 포함하는 저장 캐퍼시터(13)가 형성된다.

전술한 바와 같이, 본 발명은 화소부와 구동기 회로가 필요로 하는 명세에 따라 각각의 회로를 구성하는 TFT 구조를 최적화하여 반도체 장치의 동작성능 및 신뢰성의 개선을 가능하게 하였다. 구체적으로, n채널 TFT에서 LDD 영역의 설계는 각각의 회로 명세에 따라서 그리고 나와 영역이나 Loff 영역을 적합하게 배치함으로써 각각 달라지며 핫 캐리어 대응책에 중요성을 부여하는 TFT 구조 및 낮은 오프 전류값에 중요성을 부여하는 TFT 구조는 등일 기판에 실현된다.

### [실시예 1]

본 발명의 실시예를 도 2a 내지 도 4를 사용하여 기술한다. 화소부 및 이의 주변에 설치된 구동기 회로의 TFT를 제조하는 방법을 단계에 따라 상세히 기술한다.

(게이트 전극, 게이트 절연막 및 반도체 층의 형성: 도 2a)

도 2a에서, 기판(201)으로서 낮은 알칼리 유리기판 혹은 석영 기판이 사용되었다. 산화 실리콘막, 질화

실리콘막 혹은 질화 산화 실리콘막과 같은 하층막을 TFT가 형성된 기판(201)의 표면 상에 형성할 수 있다 (도시 없음).

게이트 전극(202 내지 204)은 Ta, Ti, W 혹은 주 성분이 이를 원소 중 하나인 물질에서 선택된 원소를 사용하여 스팍터링이나 진공 증착 등과 같은 공자의 피학방법으로 막을 피학하여 형성되고, 테이퍼상의에 지를 갖도록 예칭함으로써 패턴을 형성한다. 예를 들면, 스팍터링으로 Ta막이 200nm 두께로 형성되었을 때 원하는 모양의 형성될 수 있고 미리 세팅한 모양의 레지스트 마스크를 형성한 후에 Ta 및 W 혼합가스로 물리증착이나 예칭이 수행되었다. 게이트전극은 TaN 및 Ta, 혹은 접착 텅스텐(钨), 및 브리 2층 구조로 형성된다. 게이트전극은 도시(도시 없음) 및 게이트 전극(도시 없음)에 접속되는 게이트 배선(208)과 함께 동시에 형성된다.

게이트 절연막은 주성분이 산화 실리콘 혹은 질화실리콘인 물질로 10 nm 내지 200 nm, 바람직하게는 150 nm 내지 200 nm로 형성된다. 예를 들면, 게이트 절연막은 원물질 SiH<sub>4</sub>, NH<sub>3</sub> 및 N<sub>2</sub>에 의한 25 nm 두께의 질화실리콘 200 nm로 형성된다. 예를 들면, 게이트 절연막은 원물질 SiH<sub>4</sub> 및 N<sub>2</sub>O에 의한 125 nm 내지 175 nm 두께의 질화 산화 실리콘막의 적층을 플라즈마 CVD로 형성할 수 있다. 더욱이, 무결 표면을 얻기 위해서, 게이트 절연막 피학전에 플라즈마 수소처리를 수행할 수 있다.

다음에 플라즈마 CVD 혹은 스퍼터링 등과 같은 공기의 피막방법으로 20 내지 150nm 두께로 게이트 절연막과 접촉되도록 비정질 실리콘막을 형성한다. 비정질 실리콘막에 대한 제조조건이 구체적으로 한정되지 않으나, 산소나 질소 등과 같은, 막 내에 포함되는 불순물 원소를 충분히 감소시키는 것이 바람직하다. 있으나, 산소나 질소 등과 같은, 막 내에 포함되는 불순물 원소를 충분히 감소시키는 것이 가능하게 때문에, 이 2개를 연동일한 피막방법으로 게이트 절연막 및 비정질 실리콘막을 형성하는 것이 가능하게 때문에, 이 2개를 연동일한 피막방법으로 게이트 절연막 및 비정질 실리콘막을 형성하는 후에 대기애 노출시키지 않음으로써 속도하여 형성할 수 있다. 표면상의 오염은 게이트 절연막을 형성한 후에 대기애 노출시키지 않음으로써 속도하여 형성할 수 있고, 따라서 제조된 TFT 특성 차이 및 임계전압의 변이가 감소될 수 있다. 결정질 실리콘 방지될 수 있고, 따라서 제조된 TFT 특성 차이 및 임계전압의 변이가 감소될 수 있다. 결정질 실리콘막(209)은 공기의 결정화 기술을 사용하여 형성될 수 있으며, 결정화 기술로서 제조방법에 특정한 제한은 없으며, 결정질 실리콘막(209)은 공기의 결정화 기술을 사용하여 형성될 수 있다. 예를 들면, 400m 이하의 파장을 갖는 레이저광을 사용한 레이저 머닐링이 레이저 결정화 기술로서 적용될 수 있으며, 혹은 결정화가 600 내지 650°C 온도에서 수행되는 열 결정화(고체상 성장 방법)가 적용될 수 있다.

결정질 실리콘막(209)에서, 임계전압을 제어할 목적으로 n채널 TFT가 형성되는 영역에 대략  $1 \times 10^{15}$  내지  $5 \times 10^{15}$ 의 보론(B)이 첨가될 수 있다. 보론(B)을 첨가하기 위해서 이온 도핑이 수행될 수 있으며, 혹은 결정질 실리콘막 표면과 동시에 첨가될 수도 있다.

(스페인어 말 및  $n+1$  번째 악장: 도 2b)

다음에 n채널 TFT의 소스 용역 혹은 들인 영역으로서 기능하는 불순률 영역이 형성된다. 이를 위해서, 산화 실리콘막 혹은 질화 실리콘막이 결정질 실리콘막(209)의 전면에 형성되고 불필요한 부분을 제거하여 스페이서막(210 내지 213)이 형성된다. 이어서 이를 스페이서막을 마스크로 하여 n형을 부여하는 불순률 원소를 첨가하여 불순률 영역(214 내지 218)이 결정질 실리콘막에 형성된다. 이것은 포스핀( $\text{PH}_3$ )을 사용한 미온도정(미온주입도 사용할 수 있음)에 의해 수행되어, 이를 영역의 인( $\text{P}$ )의 농도는  $1 \times 10^{19}$  내지  $5 \times 10^{19} \text{ cm}^{-3}$ 로 설정된다. 본 명세서에서, 불순률 영역(214 내지 218)에 포함되는 n형을 부여하는 불순률 원소의 농도는 ( $n^+$ )로서 표기되었다.

(채널 보호 마스크 형성, n-alkyne 형성:도 2c)

화소부에 n채널 TFT의 LDD 영역을 형성하기 위해서, n형을 부여하는 불순물을 첨가하는 공정이 수행된다. 여기서 전면에 포토 리저스트막이 형성되고 미연으로부터 광의 노광에 의한 패터닝 처리가 수행된다. 포토 마스크 및 채널 보호 마스크(219 내지 222)와 유사한 역할을 하는 게이트 전극(202 내지 204)은 게이트 전극 위에 채널형성 영역이 형성되는 부분에 자기정렬로 형성된다.

n형을 부여하는 불순을 원소는 여기서는 미온 도핑에 의해 스페이서 막을 통해 스페이서 막 밑의 결정질 실리콘막에 부가되었다. 이와 같이 하여 형성된 불순을 영역(223 내지 230) 내의 인(P) 농도는  $1 \times 10^{17} \text{ cm}^{-3}$ 로 설정되었다. 본 명세서에서, 여기서 형성된 불순을 영역(223 내지 230)에 포함된 n형 를 부여하는 불순을 원소의 농도는 ( $n$ -)로 표기되었다.

(~연역의 협성: 도 3a)

(P형극성, 그림 3) 구동기 회로용 n채널 TFT의 LDD 영역은 스페이서 막을 통한 미온도필에 의해 유사하게 형성된다. 미경우, 레지스트 마스크(231, 232)는 앞 공정에서 형성된 화소부의 적어도 불순물 영역(227 내지 230)에 영향을 미치지 않도록 사전에 형성된다. 형성된 불순물 영역(233, 234)의 인(P) 농도는  $1 \times 10^{17}$  내지 5  $\times 10^{18} \text{ cm}^{-3}$ 로 설정되며, 이것은 n-농도의 2배 이상, 10배 미만이다. 본 명세서에서, 여기서 형성된 불순물 영역(233, 234)에 포함된 n형을 부여하는 불순물을 원소의 농도는 ( $n$ -)로 표기되었다.

(부록 3b)

불순율 영역(239, 240)은 농도가 1.5 내지 3  $\times 10^{19}$  cm<sup>-3</sup>이다. 본 명세서에서, 불순율 영역(239, 240)에 이 영역에서 보른(B) 농도는  $1.5 \times 10^{19}$  내지  $3 \times 10^{19}$  cm<sup>-3</sup>이다. 본 명세서에서, 불순율 영역(239, 240)에서 P형을 부여하는 불순율 원소의 농도는 (p<sup>+</sup>)로서 표기하였다. 인(P)이 혼합된 영역은 도 2b 내지 도 2c에 도시한 바와 같은 불순율 영역(239, 240)의 일부분 내에 형성되며, 이 공정에서 인보다 1.5 내지 3

배로, 부가된 보론(B) 농도를 설정함으로써 p형 도전형이 확보됨으로써 TFT 특성에 영향을 미치지 않게 된다.

(총가 절여막 협정, 열 활성화, 수수청가 공정: 도 3c)

여기서는 상기 불순을 원소로 선택적으로 도핑된 결정 절 실리콘막은 예철에 의해 설계로 분할되고, 나중에 제1 층 간접 면막의 일부가 텔 보호 절연막(241)이 형성된다. 보호 절연막(241)은 절화 실리콘막, 산화 실리콘막, 절화 산화 실리콘막 혹은 이들이 조합된 적층막으로부터 형성될 수 있다. 더욱이, 막 두께는 100㎚에서 400㎚으로 설정될 수 있다.

각각의 농도로 도핑된 n형 혹은 p형을 부여하는 불순물 원소를 활성화하는 열처리공정이 이어서 수행된다. 이 공정은 노 어닐링, 레이저 어닐링, 혹은 금속 열 어닐링(RTA) 등과 같은 방법으로 수행될 수 있다. 예를 들면 레이저 어닐링에서, 광원용으로 엑시머 레이저 장치를 사용하여 발진 주파수 50Hz 및 100 내지  $250\text{mJ/cm}^2$ 의 에너지 밀도의, 팽창 시스템에 의해 선형형상으로 형성된 레이저 패이 조사된다. 이 실시예에서, 활성화 공정은 노 어닐링에 의해 수행된다. 가열온도는 300 내지 650°C, 바람직하게는 더욱이 3 내지 100%의 수소 500 내지 550°C, 여기서는 525°C에서 4시간동안 질소 분위기에서 수행된다. 더욱이 12시간동안 질소 450°C에서 열처리를 수행하여 활성층 수소화를 위한 분위기에서 1 내지 300 내지 450°C에서 열처리를 수행하여 활성층 수소화를 위한 포함하는 공정이 수행되었다. 이 공정은 열적으로 여기된 수소에 의해 활성층에서 링글링 결합을 증결시키는 공정이다. 수소화의 또 다른 수단으로서, 플라즈마 수소화(플라즈마에 의해 여기된 수소가 사용됨)가 사용될 수도 있다.

활성층을 형성할 결정막(209)이 비정질 실리콘막으로부터 축매원소를 사용한 결정화 방법으로 제조되는 경우, 미소량의 축매원소가 결정질 실리콘막(209)에 남는다. 이러한 상태에서 TFT를 완성할 수 있으나, 적어도 채널형성영역으로부터 전류 축매원소를 제거하는 것이 당연히 바람직하였다. 이(P)로 게터링 효과를 사용하는 축매원소 제거 수단이 있다. 게터링에 필요한 이(P) 농도는 도 2b에서 형성된 풀순을 영역( $N^+$ )과 거의 동일한 수준이다. 축매원소는 여기서 수행된 활성화공정을 위한 열처리에 의해서, 채널 TFT 및 p채널 TFT의 채널 형성 영역들로부터 게터링될 수 있다.

(**총가점면밀 헌전 소수 미 드레인 물성현성, 표면마찰성 및 흡수성: 도 4)**

활성화 공정을 마친 후에, 500 nm 내지 1500 nm 두께를 갖는 풀 간절연막이 보호 절연막(241) 위에 형성된다. 그 상기 보호 절연막(241) 및 풀간 절연막(242)을 포함하는 적층막은 제1 층간 절연막으로서 사용된다. 그 후에 각각의 TFT의 소스영역 혹은 드레인 영역에 도달하는 접촉구성이 형성되며, 소스배선(243, 245, 246) 및 드레인 배선(244, 247)이 형성된다. 도면에 도시되지 않았으나, 이 배선은 100 nm의 Ti막, 300 nm의 Ti를 포함하는 알루미늄막 및 150 nm의 Ti막이 스팍터링에 의해 면속적으로 형성된 3층 구조의 적층막이다.

다음에, 질화실리콘막, 산화실리콘막 혹은 질화 산화 실리콘막에 의한 보호막(248)을 50 내지 500nm(전형적으로 100 내지 300nm)으로 형성한다. 이 상태에서 수소화 처리가 수행될 때 TFT 특성을 개선하는 바람직한 결과가 얻어졌다. 예를 들면, 300 내지 450°C의 열처리는 3 내지 100% 수소를 포함하는 분위기에서 1 내지 12시간 동안 수행될 수 있으며, 플라즈마 수소화가 사용될 때 유사한 결과가 얻어질 수 있다. 여기서 화소전극과 드레인 배선을 접속하기 위해 나중에 접촉구멍이 형성되는 위치에 개구부가 형성될 수 있다.

따라서, 동일 기판에 구동기 회로 및 화소부를 포함하는 액티브 매트릭스 기판이 완성된다. n-채널 TFT(269) 및 p-채널 TFT(268)는 CMOS 회로를 형성할 수 있게 하는 구동기 회로용으로서 형성된다. n-채널 TFT를 포함하는 화소 TFT(270)는 화소부에 형성된다.

### [설시예 2]

실시예 1과는 다른 방법으로, 회수부 및 이 주변에 배치된 구동기 회로의 TFT를 동시에 제조하는 경우를  
도 5a 내지 7b를 사용하여 실시예 2에서 기술한다.

먼저, 실시예1과 유사한 방식으로, 게임트 전극(302 내지 304), 게임트 배선(도시없음0) 용량배선(306),

2층 구조(307, 308)로 형성된 게이트 절연막, 및 결정질 실리콘막(309)이 기판(301) 상에 형성된다.

산화실리콘막 혹은 절화 실리콘막을 포함하는 제1 스페이서막은 결정질 실리콘막(309) 위에 형성된다. 더욱이, 제2 스페이서막이 그 위에 적층된다. 이 막은 스페이서막 및 결정질 실리콘막을 사용한 선택적 패터닝이 나중 단계에서 쉽게 수행되도록 A1막을 포함하며, 두께는 150nm으로 설정된다. 레지스트 마스크(310, 320)는 공자의 패터닝 기술로 형성되며, 제1 스페이서(314, 316, 318, 320) 및 제2 스페이서(315, 317, 319, 321)은 인산용액으로 제2 스페이서막을 에칭하고 희석 불화수소사스로 제1 스페이서막으로 에칭하여 TFT의 활성층이 형성된 영역 내에 형성된다. 인(P)이 도핑된 불순물 영역 ( $n+$ )(322 내지 326)은 도 5b에 도시한 바와 같은 이온도핑에 의해 형성된다. 여기서 불순물 영역의 농도는  $5 \times 10^{19} \text{ cm}^{-3}$ 로 설정된다.

제2 스페이서는 도 5b의 상태의 기판에 적용되는 인산용액을 사용하여 예지 표면으로부터 에칭되어 제2 스페이서(327 내지 330)는 도 5e에 도시한 모양으로 형성된다.

그후에 레지스트 마스크(310 내지 313)를 제거하고 이온도핑에 의해 인(P)을 부가하여 불순물 영역 ( $n+$ )(331 내지 338)을 형성한다. 여기서 마스크로서 작용하는 제2 스페이서(327 내지 330), 및 이 영역에서 불순물 영역의 농도는 예를 들면  $2 \times 10^{17} \text{ cm}^{-3}$  농도로 설정된다.

이어서 레지스트 마스크(339, 340)는 n채널 TFT의 구동기 회로의 LDD 영역을 형성하기 위해서 형성되며, 불순물 영역 ( $n+$ )(341, 342)는 이온도핑에 의해 인(P)을 부가함으로써 형성된다. 이 영역에 불순물 원소의 농도는 예를 들면  $8 \times 10^{17} \text{ cm}^{-3}$ 로 설정된다(도 6b).

구동기 회로의 p채널 TFT의 소스 영역 및 드레인 영역에 p형을 부여하는 불순물 원소를 부가하는 공정은 도 3b과 유사한 방법으로 수행된다. 먼저, 새로운 레지스트 마스크(343)는 제2 스페이서(327) 상에 형성되며, 제1 및 제2 스페이서막에 에칭처리를 수행함으로써 새로운 제1 스페이서막(347) 및 제2 스페이서막(346)이 형성된다. n채널 TFT의 형성되는 영역은 레지스트 마스크(344, 345)를 덮어 보호된다. 이어서 불순물 영역 ( $p+$ )(348, 349)은 디보란( $B_{2H}$ )을 사용한 이온도핑에 의해 형성된다. 이를 영역의 보론(B) 농도는  $1 \times 10^{21} \text{ cm}^{-3}$ 로 설정된다. 인(P)이  $5 \times 10^{20} \text{ cm}^{-3}$  농도로 혼합된 영역이 불순물 영역 ( $p+$ )(348, 349)의 일부분에 형성될지라도, 이 공정에서 첨가된 보론(B) 농도를 인의 2배로 설정함으로써 p형 도전성이 확보되어 TFT 특성이 영향을 받지 않는다(도 6c).

그후 처리는 실시예 1과 유사하게 형성되며, 보호 절연막(350)은 도 7a에 도시한 바와 같이 형성되며, 활성화 공정은 노 어닐링에 의해 수행된다. 수소화 공정을 수행한 후에, 층간 절연막(351)이 형성되며, 그립으로써 보호절연막(350)을 갖는 2층 구조로 제1 층간 절연막을 형성한다. 배선(352, 354, 355) 및 드레인 배선(353, 356)이 형성되며, 보호막(357) 및 제2 층간 절연막(358)은 적층에 의해 형성되고, 화소전극(359, 361)이 제공된다.

구동기 회로에 p채널 TFT(377)의 활성층은 채널 형성영역(360), 소스영역(361) 및 드레인 영역(362)를 포함한다. n채널 TFT(378)는 채널형성영역(363), Lov 영역(363a, 365a), Loff 영역(364b, 364b), 소스영역(366) 및 드레인 영역(367)을 포함한다. 화소부 n채널 TFT(379)는 채널형성 영역(368, 373), Lov 영역(369a, 374a, 375a) 및 Loff 영역(369b, 370b, 374b, 375b)을 포함한다. 저장 캐퍼시터(380)는 게이트 전극과 동시에 형성되는 용량배선(306), 게이트 절연막과 동일한 물질을 포함하는 절연막, n형을 부여하는 불순물 원소가 첨가되어 있고 n채널 TFT(379)의 소스 혹은 드레인 영역(376)에 접속되는 반도체층(382)을 포함한다.

### [실시예 3]

화소부 및 구동기 회로의 TFT들의 다른 구조의 예를, 도 8a 내지 도 9를 사용하여 본 실시예에서 기술한다. 도 5c의 상태의 기판은 실시예 2에 따라 형성된다.

불순물 영역 ( $n-$ )(401 내지 408)은 제1 스페이서막을 개재하여 하지의 결정질 실리콘막에 이온도핑으로 인(P)을 부가하여 형성된다. 이를 영역에 대한 인(P) 농도는  $6 \times 10^{20} \text{ cm}^{-3}$ 로 설정된다. 여기서 제2 스페이서막은 마스크로서 기능하며, 제1 스페이서막과 중첩되는 영역에 인(P)이 첨가되지 않는다. 이온도핑이 사용될 때, 이러한 불순물 원소도 광은 가속전압을 적합하게 설정함으로써 쉽게 수행될 수 있다(도 8a).

이어서 P형을 부여하는 불순물 원소를 첨가하는 공정이 구동기 회로의 제2 영역 및 p채널 TFT의 드레인 영역에 수행된다. 새로운 레지스트막(409)은 제2 스페이서(327) 상에 형성되며, 제1 스페이서(413) 및 제2 스페이서(412)는 에칭처리를 수행함으로써 제1 및 제2 스페이서막에 새롭게 형성된다. n채널 TFT가 형성되는 영역은 레지스트 마스크(410, 411)에 의해 보호된다. 이어서 불순물 영역 ( $p+$ )(414, 415)는 디보란( $B_{2H}$ )을 사용한 이온도핑에 의해 형성된다. 이를 영역에서 보론(B) 농도는  $2.5 \times 10^{20} \text{ cm}^{-3}$ 로 설정된다(도 8b).

그후 실시예 2와 유사하게 공정들이 수행되어 보호절연막(416)이 도 8c에 도시한 바와 같이 형성되고 활성화 공정은 노 어닐링에 의해 수행된다. 더욱이 수소화 공정을 수행한 후에, 층간 절연막(417)은 도 9에 도시한 바와 같이 형성되고, 이것은 보호막(416)을 갖는 2층 구조에 의한 제1 층간절연막을 포함한다. 소스 배선(418, 420, 421) 및 드레인 배선(419, 422)이 형성되고, 보호막(423) 및 제2 층간 절연막(424)은 적층으로 형성되고, 화소전극(425, 447)이 배치된다.

따라서 구동기 회로의 p채널 TFT(443)는 채널 형성영역(426), 소스영역(427) 및 드레인 영역(428)을 포함한다. n채널 TFT(444)는 채널형성영역(429), Lov 영역(430a, 431a), Loff 영역(430b, 431b), 소스 영역(432) 및 드레인 영역(433)을 포함한다. 화소부 n채널 TFT(445)는 채널형성 영역(434, 439), Lov 영역(435a, 436a, 440b, 444b) 및 Loff 영역(435b, 436b, 440b, 441b)을 포함한다. 저장 캐퍼시터(446)는 게

이트 전극과 동시에 형성되는 용량배선(446), 게이트 절연막과 동일한 물질을 포함하는 절연막, 및 n형을 부여하는 불순률 원소가 혼가되어 있고 n채널 TFT(445)의 소스 혹은 드레인 영역(442)에 접속되는 반도체 층(448)에 의해 형성된다.

#### [실시예 4]

화소부 및 구동기 회로의 TFT의 다른 구조의 예를 도 10a 내지 도 11를 사용하여 본 실시예에서 기술한다. 도 5c의 상태의 기판은 실시예 2e에 따라 형성된다. 불순률 영역(n-)(501 내지 508)은 제1 스페이서막을 사이에 두 하지 결정질 실리콘막에 미온도필으로 인(P)을 부기하여 형성된다. 이를 영역에 대한 인(P) 농도는  $1 \times 10^{18} \text{ cm}^{-3}$ 로 설정된다.

다음에 화소부 n채널 TFT의 LDD영역이 형성된다. 채널을 보호하기 위한 마스크는 그 목적을 위해 레지스트막에 의해 형성된다. 이 마스크는 전면에 걸쳐 포토레지스트막을 형성하고 이면층으로부터 광의 노광에 의한 패터닝에 의해 형성된다. 여기서 게이트 전극(202 내지 204)은 포토마스크로서 기능하며, 채널 보호 마스크(509 내지 512)는 게이트 전극 내에 그리고 제1 스페이서막 상의 영역 상에 형성된다. 이어서 n형을 부여하는 불순률 원소는 스페이서 막을 개재하여 스페이서 밑의 결정질 실리콘막에 미온도필으로 부가된다. 이와 같이 형성된 불순률 영역(n-)(513 내지 516)의 인(P) 농도는  $5 \times 10^{17} \text{ cm}^{-3}$ 로 설정된다 (도 10b).

채널 보호용 마스크들을 제거한 후에 구동기 회로 p채널 TFT의 소스영역 및 드레인 영역을 형성하는 공정이 수행된다. 새로운 레지스트 마스크(517)는 제1 스페이서막(314) 상에 먼저 형성되고, 새로운 제1 스페이서막(520)은 제1 스페이서막에 에칭처리를 수행함으로써 형성된다. n채널 TFT이 형성되는 영역을 레지스트 마스크(518, 519)로 덮는다. 이어서 디보란( $\text{B}_2\text{H}_6$ )을 사용한 미온도필에 의해서 불순률 영역(p+)(521, 522)이 형성된다. 이 영역의 보론(B) 농도는  $5 \times 10^{18} \text{ cm}^{-3}$ 로 설정된다(도 10c).

그후의 처리는 실시예 2와 유사하게 수행되고, 보호절연막(523)이 도 11a에 도시한 바와 같이 형성되고, 활성화 공정은 노 어닐링에 의해 수행된다. 더욱이, 소소화 공정을 수행한 후에, 풍간 절연막(531)은 도 11b에 도시한 바와 같이 형성되며, 이것은 보호막(416)을 갖는 2층 구조에 의한 제1 풍간절연막을 포함한다. 따라서 소스배선(525, 527, 528) 및 드레인 배선(526, 529)가 형성되며, 보호막(530) 및 제2 풍간절연막(531)은 적층으로 형성되며, 화소전극(532, 536)이 배치된다.

따라서, 구동기 회로의 p채널 TFT(554)는 채널형성 영역(533), 소스영역(534) 및 드레인 영역(535)을 포함한다. n채널 TFT(555)는 채널 형성영역(536), Lov 영역(537a, 538a), Lof1 영역(537b, 538b), 소스영역(539) 및 드레인 영역(540)을 포함한다. 화소부 n채널 TFT(556)은 채널형성 영역(541, 548), Lov 영역(542, 543, 549, 550) 및 Lof1 영역(544, 545, 551, 552)를 포함한다. 여기서 Lov 영역은 n-의 불순률 농도로 형성되며, Lof1는 n-의 불순률 농도로 형성된다. 저장 캐파시터(557)는 게이트 전극과 동시에 형성되는 용량배선(306), 게이트 절연막과 동일한 물질을 포함하는 절연막, 및 n형을 부여하는 불순률 원소가 혼가되어 있고 n채널 TFT(559)의 소스 혹은 드레인 영역(553)에 접속되는 반도체층(559)에 의해 형성된다.

#### [실시예 5]

화소부 및 구동기 회로의 TFT의 다른 구조의 예를 도 12를 사용하여 본 실시예에서 기술한다. 도 6n의 상태까지의 공정은 유사하게 수행된다. 이어서 제2 스페이서막(327 내지 330)이 제거되고 레지스트 마스크(601)가 제1 스페이서(314) 위에 형성된다. n채널 TFT가 형성되는 영역은 레지스트 마스크(602, 603)으로 덮혀 보호된다. 새로운 스페이서(604)는 제1 스페이서막(314)에 에칭처리리를 수행함으로써 형성된다. 이어서 불순률 영역(p+)(605, 606)은 디보란( $\text{B}_2\text{H}_6$ )을 사용한 미온도필에 의해 형성된다.

도 8b부터 후속되는 처리가 실시예 2의 처리들에 따라 수행될 때, 도 7b에 기술된 구조의 액티브 매트릭스 기판이 형성될 수 있다.

#### [실시예 6]

화소부 및 구동기 회로의 TFT의 다른 구조의 예를 도 13a 내지 도 15를 사용하여 본 실시예에서 기술한다. 먼저 실시예 1e에 따라 도 13a에 도시한 바와 같이, 게이트 전극(702 내지 704), 게이트 배선(도시없음), 2층 구조로부터 형성된 게이터 절연막(705, 707), 및 결정질 실리콘막(708)이 형성된다.

이어서 스페이서막(705)이 도 13b에 도시한 바와 같은 결정질 실리콘막(708) 상에 형성되며, 채널 보호용 마스크(709 내지 712)는 실시예 2e에서 수행된 것과 유사하게 광의 이면노광에 의해 레지스트에 의해 형성된다. 불순률 영역(n-)(713 내지 717)은 채널보호용 마스크를 사용하여 미온도필에 의해 TFT의 채널형성영역을 제외한 결정질 실리콘에 인(P)을 부기하여 형성된다. 이 영역의 불순률 원소의 농도는 예를 들면  $1 \times 10^{18} \text{ cm}^{-3}$ 일 수 있다.

다음에, 레지스트 마스크(718, 719)는 도 13c에 도시한 바와 같이 채널보호용 마스크가 잔류되게 형성되고, 구동기 회로 n채널 TFT의 LDD 영역용 불순률 영역(n-)(720, 721)이 형성된다. 이 영역에서 불순률 원소의 농도를 불순률 영역(n-)의 2 내지 10배로 설정하는 것이 바람직하며 예를 들면  $3 \times 10^{17} \text{ cm}^{-3}$ 일 수 있다.

이면층으로부터 노광에 의해 형성된 레지스트막(722 내지 725)을 사용하여 스페이서막에 에칭처리를 수행함으로써 새로운 스페이서막(726 내지 729)이 형성된다. 인(P)이 이 상태에서 혼가되고 불순률 영역

(n+)(730 내지 734)이 형성된다. 이 영역에 물순율 원소의 농도는 예를 들면  $1 \times 10^{20} \text{ cm}^{-3}$  일 수 있다.

레지스터 마스크(722 내지 725)를 제거한 후에, 스페이서막 위에 스페이서막(726) 안쪽 위에 새로운 레지스터 마스크(735)가 형성되고 새로운 모양의 스페이서막(738)이 새로운 레지스터 마스크를 사용한 에칭처리를 수행함으로써 형성된다. n채널 TFT가 형성된 영역을 레지스터 마스크(736, 737)로 덮는다. 물순율 영역(p+)(739, 740)은 디보란(B<sub>x</sub>H<sub>y</sub>)을 사용한 미온도평에 의해 형성된다. 이 영역에서 보란(B) 농도는  $4 \times 10^{20} \text{ cm}^{-3}$ 로 설정된다(도 14b).

이어서 실시에 1과 유사한 방식으로 도 14c에 도시한 바와 같은 보호절연막(741)이 형성되고, 노 어닐링에 의한 활성화 처리가 수행된다. 또한 수소화 공정을 수행한 후에 층간 절연막(742)이 도 15에 도시한 바와 같이 형성됨으로써 보호절연막(741)을 가진 2층구조로 형성된 제1 층간절연막이 형성된다. 소스배선(743, 745) 및 드레인 배선(744, 747)이 다음에 형성되고 보호막(748)이 형성된다. 이 상태에서 1시간 동안 300 내지 450°C에서 3 내지 100% 수소를 함유하는 분위기에서 수소화 처리가 수행된다. 이어서 유기수지를 포함하는 제2 층간절연막을 대략 1nm 두께로 형성한다.

블랙 매트릭스막(750)은 화수부가 되는 영역 내에 제2 층간 절연막(749) 상에 형성된다. 블랙 매트릭스막(750)은 주요 성분이 Al, Ti, Ta로부터 선택된 한 원소 혹은 복수의 원소인 막이며 100 내지 300nm 두께로 원하는 패턴으로 형성된다. 제3 층간 절연막은 유기수지를 사용하여 제2 층간절연막과 유사하게 형성된다. 제3 층간 절연막의 두께는 0.5 내지 1nm로 설정된다. 소스배선(747)에 도달하는 접촉구멍은 제3 층간 절연막(751), 제2 층간절연막(749) 및 보호막(748)을 관통하여 형성되고, 화소전극(752)이 배치된다. 투과형 액정 디스플레이 장치를 제조하기 위해서, 인듐 주석 산화물(ITO) 막이 스파터링에 의해 100nm 두께로 형성된다.

따라서 구동기 회로의 p채널 TFT(770)은 채널형성 영역(753), 소스영역(754) 및 드레인 영역(755)을 포함한다. n채널 TFT(771)은 채널 형성영역(756), Lov 영역(757, 758), 소스영역(759) 및 드레인 영역(760)을 포함한다. 화소부 n채널 TFT(772)는 채널형성영역(761 및 766), Lov 영역(762, 763, 768), 소스영역 및 드레인 영역(769)을 포함한다. 저장 캐퍼시터(773)은 화소 전극(752) 및 블랙 매트릭스막(751)이 제2 층간절연막이 개재되어 중첩하는 영역에 형성된다.

### [실시예 7]

도 1 내지 도 6에 도시한 TFT의 활성층을 형성하는 결정질 반도체막을 제조하는 예를 실시예 7에서 기술한다. 본 발명에서 결정질 반도체막에 제조방법에 특정한 한정은 없으며, 레이저 결정화기술(혹은 레이저 어닐링), 혹은 노 어닐링이나 금속 열 어닐링(RTA)을 사용한 열 결정화 기술(혹은 고체상 성장방법)이 사용될 수 있다.

레이저 결정화를 사용하는 경우, 비정질 반도체막을 형성한 후에 레이저 어닐링 공정이 수행될 수 있다. 비정질 반도체막이 비정질 실리콘막의 경우처럼 수소를 포함할 때 결정화전에 몇 시간동안 400 내지 550°C에서 가열하여 막 내의 수소를 방출시킴으로써 수소 함유량은 5atm<sup>-1</sup> 미하로 감소시키는 것이 비량적 할 수 있다. 그후에 레이저원(레이저镭)으로부터 방출되는 방사선은 비정질 반도체막에 방사된다. 펄스 발진 혹은 연속광 방사형의 엑시머 레이저광이 비탄적이나 아르곤 레이저를 사용할 수 있다. 더욱이 레이저광 대신에 램프로부터 방사된 빛이 방사될 수 있다(램프 어닐링). 할로겐 램프, 크세논 램프, 금속 할로겐회를 램프 등을 사용할 수 있다.

펄스 발진형 엑시머 레이저를 사용하는 경우, 레이저 어닐링은 레이저광을 선형형상으로 형성하여 수행된다. 레이저 어닐링 조건은 펄스발진 주파수 30Hz, 레이저 에너지 밀도 100 내지 500mJ/cm<sup>2</sup>(비량적하게는 350 내지 400mJ/cm<sup>2</sup>)이다. 선형빔은 기판의 표면을 통해 모두 조사되며, 선형빔의 중첩비는 80 내지 98%로 설정된다. 결정질 반도체 막은 이러한 식으로 제조될 수 있다.

결정질 반도체막을 제조하는 다른 방법은 예를 들면 일본 특허출원 공개 번호 평7-130652호에 개시된 기술을 적용하는 것이다. 특히 출원에 개시된 기술을 본 발명에 적용에 대해 이하 설명한다. 먼저 게이트 출자를 적용하는 것이다. 게이트 출자는 게이트(1602, 1603)은 기판(1601)에 걸쳐(실시예 7에서는 유리기판) 100 내지 400nm로 형성된다. 게이트 전극(1602, 1603)은 20 내지 200nm 두께로, 바탕작하게는 150 내지 200nm 형성되며, 질화실리콘막 형성(1604)은 20 내지 200nm 두께로, 바탕작하게는 150 내지 200nm 형성되며, 질화실리콘막 형성(1604)은 20 내지 200nm 두께로, 바탕작하게는 150 내지 200nm 형성되며, 질화실리콘막 혹은 질화산화 실리콘막을 포함한다. 복수의 이를 막을 적층한 구조도 사용될 수 있다. 비정질 반도체막(본 실시예에선 비정질 실리콘막)(1606)은 공기에 노출시키지 않고 면속하여 게이트 절연막(1604) 위에 50nm 두께로 형성된다.

다음에 촉매원소(본 실시예에선 니켈)(니켈 아세테이트 수성액) 무게로 10ppm을 포함하는 수성액을 스파팅에 의해 적용하고 층(1607)을 포함하는 촉매원소는 비정질 반도체막(1606)의 전면 상에 형성된다. 코팅에 의해 적용하고 층(1607)을 포함하는 촉매원소는 게르마늄(Ge), 철(Fe), 페리듐(Pd), 주석(Sn), 납(Pb), 코발트(Co), 백금(Pt), 구리(Ou) 및 금(Au)이다.

본 발명이 스파팅에 의해 니켈을 부가하는 방법을 사용하였으나, 촉매원소를 포함하는 박막(본 실시예에선 니켈막)이 증발 혹은 스파터링에 의해 비정질 반도체막 상에 형성되는 방법도 사용될 수 있다.

다음에, 열처리 공정이 400 내지 500°C에서 대략 1시간동안 수행되고 결정화 공정 전의 막으로부터 수소가 제거된 후에, 500 내지 650°C(바탕작하게 550 내지 570°C)의 열처리가 4 내지 12 시간(바탕작하게 4 내지 6시간) 동안 수행된다. 본 실시예에서, 열처리는 4시간동안 550°C에서 수행되며 결정질 반도체막(본 실시예에서 결정질 반도체막)이 형성된다(도 16b).

이와 같이 하며 형성될 결정질 반도체막(1608)은 결정화(여기선 니켈)를 촉진하는 촉매원소를 사용하여 형성될 수 있으며, 결정도가 우수한 결정질 반도체막이다. 그후에 결정비를 향상시키기 위해서 레이저 결정화를 경험할 수 있다. 예를 들면, 선형병은  $XeCl$  액시미 레이저광으로부터 형성되며 5 내지 50㎚, 0.5㎚에서 결정화를 경험할 수 있다.

기판(1601)에 제조된 결정질 반도체를 사용하여 실시해 1 내지 6에 도시한 단계로 TFT가 제조될 때 우수한 성능이 얻어질 수 있다. TFT의 특성은 통상 전계효과 이동도로 나타낼 수 있고, 본 발명에 의해 얻어진 TFT 특성은  $n$ 채널 TFT의 경우  $150 \text{ 내지 } 200 \text{ cm}^2/\text{V} \cdot \text{sec}$ 이고,  $p$ 채널 TFT의 경우  $.90 \text{ 내지 } 120 \text{ cm}^2/\text{V} \cdot \text{sec}$ 이고, 초기값으로부터 틀림 없이 연속하여 동작되어도 거의 관측되지 않는다.

### [실시예 8]

화소부 및 구동기 회로의 TFT의 다른 제조방법을 도 17a 내지 19를 사용하여 기술한다. 먼저 실시예1과 유사하게 도 18a에 도시한 바와 같이 기판(801) 위에 게이트 전극(807, 808), 게이트 배선(도시없음), 용량배선(806), 및 2층구조를 포함하는 게이트 절연막(807, 808)이 형성된다. 결정점 반도체막(809)(결정 절리 콘막)이 꿈지의 레이저 결정화를 사용하여 본 실시예에서 형성된다.

산화슬리본 혹은 젤화슬리본을 포함하는 스페이서막이 결정질 반도체막(809) 상에 120nm 두께로 형성되며 이면쪽으로부터 노광을 사용하여 패턴이 형성된다. 레지스트 마스크(814 내지 817)는 이와 같이 형성된 스페이서 막(810 내지 813) 상에 형성된다. 스페이서막(810 내지 813)은 실제로 채널형성영역 상에 형성되어, 나중의 공정에 관련하여 레지스트로부터 오염을 방지하는 효과를 갖는다. 불순을 영역 ( $n$ )(818 내지 821)은  $n$ 형을 부여하는 물질을 원소를 부기하여 결정질 반도체막에 형성된다. 이것은 포스핀( $\text{PH}_3$ )에 사용한 이온도핑(이온주입도 사용할 수 있음)에 의해 수행되며, 인( $\text{P}$ ) 농도는  $1 \times 10^{19}$  내지  $1 \times 10^{21} \text{ cm}^{-3}$  농도로 설정되고, 여기선  $1 \times 10^{19}$ 이다(도 17b).

화소부 패널 TFT의 LDD 영역을 형성하기 위해서 다음에  $n$ -형을 부여하는 불순률을 부여하는 공정이 수행된다. 여기서 혼가되는 인(P) 농도를 제어하기 위해서 결정질 반도체막(803) 상에 산화실리콘막(822)을 100nm 두께로 형성한다.  $n$ -형을 부여하는 불순률 원소는 미온도평으로 산화실리콘막을 개재하여 산화실리콘막(822) 밑의 결정질 반도체막에 부가된다. 이와 같이 형성된 불순률 영역( $n$ )(823 내지 830)의 인(P)농도는  $1.7 \times 10^{17}$  내지  $2.5 \times 10^{17} \text{ cm}^{-3}$ 로 설정되고 여기선  $1.7 \times 10^{17}$ (도 1%).

구동기 회로 채널 TFT의 LDD 영역은 산화실리콘막(822)을 개재 시켜 이온도핑에 의해 유사하게 형성된다. 이 경우 앞 공정에서 형성된 화소부의 적어도 불순물 영역(827 내지 830)에 악영향을 미치지 않기 위해서, 레지스트 마스크(831, 832)가 형성된다. 이와 같이 형성된 불순물 영역( $n^-$ )(833, 834)의 인(P) 농도는  $5 \times 10^{17}$  내지  $5 \times 10^{18} \text{ cm}^{-3}$ 로 설정되나,  $n^-$ 의 농도의 2배 이상 내지 10배 미만으로 설정되며  $5 \times 10^{17} \text{ cm}^{-3}$ 로 형성된다(도 18a).

구동기 회로 p채널 TFT의 소스영역 및 드레인 영역을 형성하기 위해서 P형을 부여하는 불순을 원소를 첨가하는 공정이 수행된다. p채널 TFT의 채널 형성영역을 결정하기 위해서 새로운 레지스트 마스크(836, 837)이 형성되며, 결정질 반도체 막의 표면은 p채널 TFT가 형성된 영역에 산화질리콘 막을 예정한으로써 제거되어 노출된다. 이와 같이 합으로써 도핑에 의해 불순을 원소를 쉽게 도핑할 수 있다. 불순을 영역(839, 840)은 디보란( $B_2H_6$ )을 사용한 미온도 팅에 의해 형성된다. 이 영역에서 보론(B) 농도는  $1.5 \times 10^{19}$

내지  $3 \times 10^{11} \text{ cm}^{-4}$ 로 설정된다.

후속되는 공정은 실시예1과 유사하게 수행되며, 보호절연막은 도 18c에 도시한 바와 같이 형성되고 활성화공정이 노마닐링에 의해 수행된다. 수소화 공정을 수행한 후에 층간 절연막(842)이 형성되고 그림으로써 보호절연막(841)을 갖는 2층 구조를 포함하는 제1 층간절연막이 형성된다. 이어서 소스 배선(843, 845, 846), 드레인 배선(844, 847), 보호막(848), 및 제2 층간 절연막(849)이 형성되고, 화소전극(850, 852)이 배치된다.

구동기 회로의 p채널 TFT(858)의 활성층은 채널형성 영역(851), 소스영역(852) 및 드레인 영역(853)을 포함한다. n채널 TFT(869)는 채널형성영역(854), Lov 영역(855a, 856a), Loff 영역(858, 855b), 소스영역(858) 및 드레인 영역(857)을 포함한다. 화소부 n채널 TFT(870)은 채널형성 영역(859, 864), Lov 영역(858) 및 드레인 영역(857)을 포함한다. 저장 캐페시터(871)은 게이트(860a, 865a, 866a) 및 Loff 영역(860b, 861b, 865b, 866b)을 포함한다. 7형을 부여하는 전극과 동시에 형성된 용량배선(806), 게이트 접연막과 동일한 레질을 포함하는 접연막, 7형을 부여하는 전극과 원소가 첨가되어 있고 n채널 TFT(870)의 소스 혹은 드레인 영역(866)에 접속된 반도체층(873)에 불순을 형성된다.

[실시예 9]

활용할 수 있다. 스퍼터링을 사용하는 제조공정을 실시예 1에 따라 이하 기술한다.

도 2a의 게이트 전극(202 내지 204) 및 용량배선(205)은 Ta, Ti, W, Mo, 등과 같은 타겟물질을 사용하여 공지의 스팍터링에 의해 쉽게 형성될 수 있다. W-Mo 혹은 Ta-Mo와 같은 화합물 물질을 만드는 경우, 화합물 타겟이 유사하게 사용될 수 있다. 더욱이, TaN 및 W를 제조하는 경우, 이를은 아르곤(Ar) 이외에 스팍터팅 분위기에 질소(N<sub>2</sub>) 혹은 암모니아(NH<sub>3</sub>)가 적합하게 챙가되었을 때 제조될 수 있다.

게이트 절연막에 사용되는 질화실리콘막(207)은 실리콘(Si) 타겟을 사용하고 Ar, N<sub>2</sub>, H<sub>2</sub>, 및 N<sub>2</sub>O를 적합하게 혼합하여 스퍼터링을 수행함으로서 형성될 수 있다. 아니면, 질화실리콘의 타겟물질이 사용될 때 유사하게 형성될 수도 있다. 질화산화실리콘막(208)은 Si 타겟을 사용하고 Ar, N<sub>2</sub>, H<sub>2</sub> 및 N<sub>2</sub>O를 혼합한 스퍼터링에 의해 제조된다.

비정질 실리콘은 Si 타겟을 사용하고 스퍼터링 가스로서 Ar 및 He를 사용하여 제조된다. 미량의 보론(B)을 비정질 실리콘막에 첨가할 때, 수십 ppm 내지 수천 ppm의 보론(B)을 타겟에 첨가할 수 있으며, 혹은 디보란( $\text{B}_2\text{O}_3$ )이 스퍼터링 가스에 첨가될 수 있다.

스페이서막(210 내지 213)에 사용되는 산화실리콘막은 Ar 혹은 Ar과 산소( $O_2$ )의 혼합가스로 산화실리콘(혹은 석영) 타겟을 스퍼터링하여 제조될 수 있다. 보호결연막(241)에 사용된 질화실리콘막, 산화실리콘막 혹은 질화하나하스리튬막, 흑간 절연막(242) 및 보호막(248)은 전술한 바와 같이 제조될 수 있다.

소스배선 및 드레인 배선에 AI를 사용하는 경우, Ti, Si, 스Kenn들(Sc), 바나듐(V), Cu 등이 대략 0.01㎚~5㎚정도로 포함될 때 헬륨을 방지하는 것이 효과적이다. 화소전극(250)에 사용되는 ITO, ZnO, SnO<sub>2</sub> 등은 공지의 스퍼터링 방식에 의해 피폭될 수 있다.

전술한 바와 같이, 유기수지를 포함하는 제2 층간 절연막(249)을 제외한 막들의 일의의 것을 스퍼터링에 의해 피복하는 것이 가능하다. 상세한 실험조건은 조작자에 의해 적합하게 결정될 수 있다.

[실시예 101]

다음에 이 액티브 매트릭스 액정 디스플레이 장치의 구조를 도 21의 사시도 및 도 22의 평면도를 사용하여 기술한다. 도 21 및 도 22는 도 2a 내지 도 4의 단면구조에 대응하도록 공통되는 참조부호를 사용하였다. 또한, 도 22에 도시한 A-A'의 단면은 도 4에 도시한 화소부의 단면도에 대응한다.

도 22는 화소부(1001)(1 화소)의 일부를 도시한 평면도이다. 게이트 배선(204)은 도면에 도시하지 않은 게이트 절연막을 개재하여 그 밑의 활성층을 가로질러 있다. 도시하지 않았으나, 소스영역, 드레인 영역, n-영역을 포함하는  $L_{ov}$  영역,  $L_{of}$  영역은 활성층에 형성된다. 더욱이, 첨조부호 274는 소스배선(246)과 소스영역(262)의 접촉부이며, 275는 드레인 배선(247)과 드레인 영역(267)간 접촉부이며, 276는 드레인 배선(247)과 하수전극(250)간 접촉부이다.

본 실시예의 활성 매트릭스 액정 디스플레이 장치를 실시예 1에 설명한 구조에 관련하여 기술하였을지라도, 액티브 매트릭스 액정 디스플레이 장치는 실시예 1 내지 6, 8, 혹은 9의 구조 어느 것과 자유롭게 결합하여 제조할 수 있다.

[실시예 11]

별명에 따라 형성된 액티브 마트릭스 기판 및 액정 디스플레이 장치는 여러 가지 전기광학 장치에 사용될 수 있다. 본 별명은 이를 전기광학 장치를 디스플레이부로서 갖는 모든 전자장치에 적용될 수 있다. 다음은 이러한 형태의 전자장치의 예, 즉 개인용 컴퓨터, 디지털 카메라, 비디오 카메라, 휴대용 단말기(예를 들면, 이동 컴퓨터, 휴대용 전화 및 노트북) 및 자동차 항법 시스템으로서 주어진 정정보다 있다. 이를 중 일부 예로 23a 내지 23e에 도시하였다.

도 23a는 개인용 컴퓨터이며, 마이크로프로세서 및 메모리 등을 포함하는 본체(2001), 이미지 입력부(2002), 디스플레이 장치(2003), 및 키보드(2004)를 포함한다. 본 발명은 디스플레이 장치(2003) 혹은 다른 시호 제어회로에 적용될 수 있다.

도 25b는 비디오 카메라이며, 본체(2101), 디스플레이 장치(2102), 응성 입력부(2103), 조작 스위치

(2104), 뒷대리(2105), 이미지 수신부(2106) 등을 포함한다. 본 발명은 디스플레이 장치(2102) 및 기판 신호 제어회로에 적용될 수 있다.

도 23c는 휴대 정보 단말기이며, 본체(2201), 이미지 입력부(2202), 이미지 수신부(2203), 조작 스위치(2204) 및 디스플레이 장치(2205)를 포함한다. 본 발명은 디스플레이 장치(2302) 및 기타 신호 제어회로에 적용될 수 있다.

도 23d는 고글형 디스플레이이며, 본체(2301), 디스플레이 장치(2302), 및 암 부(203) 등을 포함한다. 본 발명은 디스플레이 장치(2302) 및 기타 신호제어 회로에 적용될 수 있다.

도 23e는 프로그램이 기록된 기록매체(이하 기록매체라 함)을 사용하는 플레이어이며, 본체(2401), 디스플레이 장치(2402), 스피커부(2303), 기록매체(2404), 및 조작 스위치(2404) 등을 포함한다. DVD(디지털 디기타스크), CD 등을 기록매체로서 사용하는 미 장치로 음악감상, 영화감상, 게임, 및 인터넷 사용이 수행될 수 있다. 본 발명은 디스플레이 장치(2402) 및 다른 신호 제어회로에 적용될 수 있다.

도 23f는 디지털 카메라이며 본체(2501), 디스플레이 장치(2502), 뷰파인더(2503), 조작 스위치(2504), 및 이미지 수신부(도면에 도시없음)을 포함한다. 본 발명은 디스플레이 장치(2502) 및 기타 신호 제어회로에 적용될 수 있다.

도 24a는 전방형 프로젝터이며, 광학 광원 시스템, 디스플레이 장치(2601), 및 스크린(2602)을 포함한다. 본 발명은 디스플레이 장치 및 기타 신호 제어회로에 적용될 수 있다. 도 24b는 후방형 프로젝터이며, 본체(2701), 광학 광원 시스템, 디스플레이 장치(2702), 미러(2702) 및 스크린(2704)을 포함한다. 본 발명은 디스플레이 장치 및 기타 신호제어회로에 적용될 수 있다.

도 24c는 도 24a 및 도 24b의 광학 광원 시스템 및 디스플레이 장치(2601, 2602)의 구조의 한 예를 도시한 도면이다. 광학 광원 시스템 및 디스플레이 장치(2601, 2702)는 광학 광원 시스템(2801), 미러(2802, 2806), 다이크로의 미러(2803), 빛 스플리터(2807), 양정 디스플레이 장치(2808), 위상 미분판(2809), 및 광학 투사 시스템(2810)을 포함한다. 광학 투사 시스템(2810)은 복수의 광학 렌즈로 구성된다. 본 실시 예가 3단의 예를 보였으나, 특정한 제한은 없으며 예를 들면 단일 단자를 사용할 수도 있다. 더욱이, 조작자는 광학렌즈, 편광기능을 갖는 막, 위상차를 조절하는 막, IR막 등 도 24c에 화살표로 나타낸 광로 내에 적합한 광학 시스템을 설치할 수 있다. 더욱이, 도 24d는 도 24c의 광학 광원 시스템(2801)의 구조예를 도시한 것이다. 본 실시예에서, 광학 광원 시스템(2801)은 반사기(2811), 광원(2812), 렌즈 어레이(2813, 2814), 편광 변환소자(2815) 및 접광렌즈(2816)를 포함한다. 도 24d에 도시한 광학 광원은 단순히 예이며 이 구성으로 한정되지 않는다.

더욱이, 여기 도시되진 않았으나, 본 발명을 여기 나타낸 것 이외에, 할법 시스템 및 이미지 센서 등 출회로에 적용하는 것이 가능하다. 앞에서 보인 바와 같이, 본 발명의 적용 가능한 범위는 극히 넓고, 본 발명을 모든 분야에 전자장치에 적용하는 것이 가능하다. 더욱이, 본 발명의 전자장치는 실시예 1 내지 10을 임의로 조합한 것의 구조를 사용하여 실현될 수 있다.

#### **발명의 효과**

본 발명을 사용하여, 복수의 기능회로가 동일 기판에 형성된 반도체 장치(여기서 구체적으로는 전기광학 장치) 내 각각의 기능회로의 요구되는 구조에 따라 적합한 성능을 갖춘 TFT를 배치하는 것이 가능해지고 동작특성 및 신뢰성이 크게 개선될 수 있다.

더욱이, 디스플레이 매체로서 이러한 전기광학 장치를 갖는 반도체 장치(여기선 구체적으로 전기기계)의 동작성능 및 신뢰성이 동시에 개선될 수 있다.

#### **(57) 청구의 쓰임**

##### **청구항 1**

활성층,

상기 활성층에 제공된 LDD 영역;

상기 활성층과 상기 기판 사이에 설치된 게이트 절연막; 및

상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 적어도 n채널 TFT를 포함하는 것으로 동일 기판에 화소부 및 상기 화소부의 주변에 설치된 구동기 회로를 포함하는 반도체 장치에 있어서,

상기 화소부의 상기 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 화소부의 게이트 전극과 중첩하도록 배치되고,

상기 구동회로의 n채널 TFT의 LDD 영역은 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되며,

n형을 부여하는 불순물 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치.

##### **청구항 2**

활성층,

상기 활성층에 제공된 LDD 영역;

상기 활성층과 상기 기판 사이에 설치된 게이트 절연막; 및

상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 적어도 n채널 TFT를 포함하는 것으로 동일 기판에 화소부 및 상기 화소부의 주변에 설치된 구동기 회로를 포함하는 반도체 장치에 있어서,

상기 화소부의 상기 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 화소부의 게이트 전극과 중첩하도록 배치되고,

상기 구동회로의 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되며,

n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치.

### 청구항 3

활성층,

상기 활성층에 제공된 LDD 영역;

상기 활성층과 상기 기판 사이에 설치된 게이트 절연막; 및

상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 적어도 n채널 TFT를 포함하는 것으로 동일 기판에 화소부 및 상기 화소부의 주변에 설치된 구동기 회로를 포함하는 반도체 장치에 있어서,

상기 화소부의 상기 n채널 TFT의 제1 LDD 영역은 상기 화소부의 게이트 전극과 중첩하도록 배치되고,

상기 화소부의 n채널 TFT의 제2 LDD 영역은 상기 화소부의 게이트 전극과 중첩하도록 배치되며,

상기 구동회로의 상기 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되고,

n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치.

### 청구항 4

활성층,

상기 활성층에 제공된 LDD 영역;

상기 활성층과 상기 기판 사이에 설치된 게이트 절연막; 및

상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 적어도 n채널 TFT를 포함하는 것으로, 동일 기판에 화소부 및 상기 화소부의 주변에 설치된 구동기 회로를 포함하는 반도체 장치에 있어서,

상기 화소부의 상기 n채널 TFT의 LDD 영역은 상기 화소부의 게이트 전극과 중첩하도록 배치되고,

상기 구동회로의 상기 n채널 TFT의 LDD 영역은 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되고,

n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치.

### 청구항 5

제1항에 있어서, 상기 화소부의 저장 캐퍼시터는 상기 활성층에 접속된 반도체층, 상기 반도체층과 상기 기판사이에 설치된 절연막, 및 상기 절연막과 상기 기판간에 설치된 용량배선을 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 6

제2항에 있어서, 상기 화소부의 저장 캐퍼시터는 상기 활성층에 접속된 반도체층, 상기 반도체층과 상기 기판사이에 설치된 절연막, 및 상기 절연막과 상기 기판간에 설치된 용량배선을 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 7

제3항에 있어서, 상기 화소부의 저장 캐퍼시터는 상기 활성층에 접속된 반도체층, 상기 반도체층과 상기 기판사이에 설치된 절연막, 및 상기 절연막과 상기 기판간에 설치된 용량배선을 포함하는 것을 특징으로 하는 반도체 장치.

### 청구항 8

제1항에 있어서, n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 미만의 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치.

### 청구항 9

제2항에 있어서, n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것에 비해

2배 이상 내지 10배 미만의 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치.

#### 청구항 10

제4항에 있어서, n형을 부여하는 불순물 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 미만의 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치.

#### 청구항 11

제1항에 있어서, n형을 부여하는 불순물 원소는 상기 화소부의 n채널 TFT의 제1 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 미만의 농도로 상기 구동회로의 n채널 TFT의 LDD 영역 및 상기 화소부의 n채널 TFT의 제2 LDD 영역에 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치.

#### 청구항 12

제1항에 있어서, 상기 반도체 장치는 휴대전화, 비디오 카메라, 이동 컴퓨터, 고글형 디스플레이, 프로젝터, 휴대용 책, 디지털 카메라, 자동차 항법 시스템 및 개인용 컴퓨터로 구성된 그룹으로부터 선택된 것에 사용되는 것을 특징으로 하는 반도체 장치.

#### 청구항 13

제2항에 있어서, 상기 반도체 장치는 휴대전화, 비디오 카메라, 이동 컴퓨터, 고글형 디스플레이, 프로젝터, 휴대용 책, 디지털 카메라, 자동차 항법 시스템 및 개인용 컴퓨터로 구성된 그룹으로부터 선택된 것에 사용되는 것을 특징으로 하는 반도체 장치.

#### 청구항 14

제3항에 있어서, 상기 반도체 장치는 휴대전화, 비디오 카메라, 이동 컴퓨터, 고글형 디스플레이, 프로젝터, 휴대용 책, 디지털 카메라, 자동차 항법 시스템 및 개인용 컴퓨터로 구성된 그룹으로부터 선택된 것에 사용되는 것을 특징으로 하는 반도체 장치.

#### 청구항 15

제4항에 있어서, 상기 반도체 장치는 휴대전화, 비디오 카메라, 이동 컴퓨터, 고글형 디스플레이, 프로젝터, 휴대용 책, 디지털 카메라, 자동차 항법 시스템 및 개인용 컴퓨터로 구성된 그룹으로부터 선택된 것에 사용되는 것을 특징으로 하는 반도체 장치.

#### 청구항 16

동일 기판에 화소부 및 미의 주변에 설치된 구동기 회로를 포함하는 반도체 장치를 제조하는 방법에 있어서,

상기 화소부 및 상기 구동기 회로에, 활성층, 상기 활성층에 제공된 LDD 영역, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 n채널 TFT를 형성하는 단계를 포함하여,

상기 화소부의 상기 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 화소부의 게이트 전극과 중첩하도록 배치되고,

상기 구동회로의 n채널 TFT의 LDD 영역은 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되며,

n형을 부여하는 불순물 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 17

동일 기판에 화소부 및 미의 주변에 설치된 구동기 회로를 포함하는 반도체 장치를 제조하는 방법에 있어서,

상기 화소부 및 상기 구동기 회로에, 활성층, 상기 활성층에 제공된 LDD 영역, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 n채널 TFT를 형성하는 단계를 포함하여,

상기 화소부의 상기 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 화소부의 게이트 전극과 중첩하도록 배치되고,

상기 구동회로의 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되며,

n형을 부여하는 불순물 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 18

동일 기판에 화소부 및 미의 주변에 설치된 구동기 회로를 포함하는 반도체 장치를 제조하는 방법에 있어서,

상기 화소부 및 상기 구동기 회로에, 활성층, 상기 활성층에 제공된 LDD 영역, 상기 활성층과 상기 기판

사이에 설치된 게이트 절연막, 및 상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 n채널 TFT를 형성하는 단계를 포함하여,

상기 화소부의 상기 n채널 TFT의 제1 LDD 영역은 상기 화소부의 게이트 전극과 중첩하도록 배치되고,

상기 화소부의 n채널 TFT의 제2 LDD 영역은 상기 화소부의 게이트 전극과 중첩하도록 배치되며,

상기 구동회로의 상기 n채널 TFT의 LDD 영역의 적어도 일부 혹은 그 전부는 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되고,

n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 19

동일 기판에 화소부 및 미의 주변에 설치된 구동기 회로를 포함하는 반도체 장치를 제조하는 방법에 있어서,

상기 화소부 및 상기 구동기 회로에, 활성층, 상기 활성층에 제공된 LDD 영역, 상기 활성층과 상기 기판 사이에 설치된 게이트 절연막, 및 상기 게이트 절연막과 상기 기판 사이에 설치된 게이트 전극을 포함하는 n채널 TFT를 형성하는 단계를 포함하여,

상기 화소부의 상기 n채널 TFT의 LDD 영역은 상기 화소부의 게이트 전극과 중첩하도록 배치되고,

상기 구동회로의 상기 n채널 TFT의 LDD 영역은 상기 구동회로의 n채널 TFT의 게이트 전극과 중첩하도록 배치되고,

n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것보다 높은 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 20

제16항에 있어서, 상기 활성층에 접속된 반도체층, 상기 반도체층과 상기 기판사이에 설치된 절연막, 및 상기 절연막과 상기 기판간에 설치된 용량배선을 포함하는 저장 캐퍼시터를 상기 화소부에 형성하는 단계를 특징으로 하는 반도체 장치 제조방법.

#### 청구항 21

제17항에 있어서, 상기 활성층에 접속된 반도체층, 상기 반도체층과 상기 기판사이에 설치된 절연막, 및 상기 절연막과 상기 기판간에 설치된 용량배선을 포함하는 저장 캐퍼시터를 상기 화소부에 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 22

제18항에 있어서, 상기 활성층에 접속된 반도체층, 상기 반도체층과 상기 기판사이에 설치된 절연막, 및 상기 절연막과 상기 기판간에 설치된 용량배선을 포함하는 저장 캐퍼시터를 상기 화소부에 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 23

제16항에 있어서, n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 미만의 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 24

제17항에 있어서, n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 미만의 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 25

제19항에 있어서, n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 미만의 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 26

제18항에 있어서, n형을 부여하는 불순을 원소는 상기 화소부의 n채널 TFT의 LDD 영역에 포함된 것에 비해 2배 이상 내지 10배 미만의 농도로 상기 구동회로의 n채널 TFT의 LDD 영역에 포함된 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 27

제16항에 있어서, 상기 반도체 장치는 휴대전화, 비디오 카메라, 미동 컴퓨터, 고글형 디스플레이, 프로젝터, 휴대용 헤드폰, 디지털 카메라, 자동차 헤드 시스템 및 개인용 컴퓨터로 구성된 그룹으로부터 선택된 것에 사용되는 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 28

제17항에 있어서, 상기 반도체 장치는 휴대전화, 비디오 카메라, 미동 컴퓨터, 고글형 디스플레이, 프로

책터, 휴대용 책, 디지털 카메라, 자동차 헤드 시스템 및 개인용 컴퓨터로 구성된 그룹으로부터 선택된 것에 사용되는 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 29

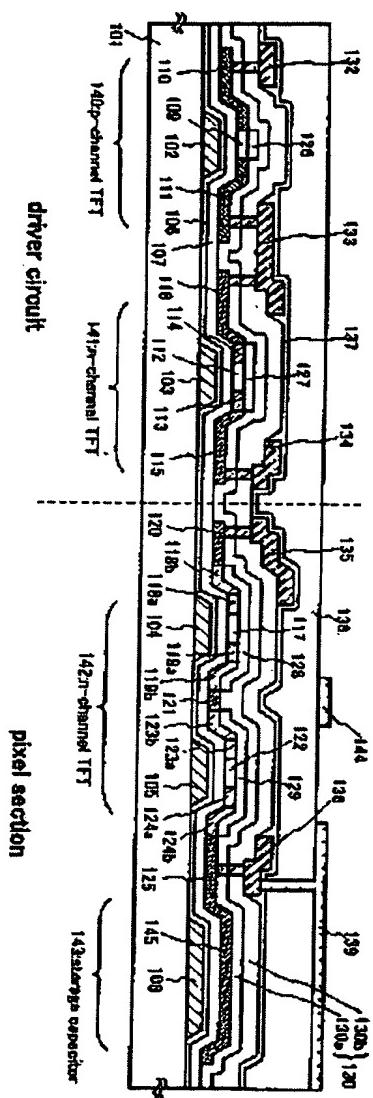
제18항에 있어서, 상기 반도체 장치는 휴대전화, 비디오 카메라, 이동 컴퓨터, 고글형 디스플레이, 프로젝터, 휴대용 책, 디지털 카메라, 자동차 헤드 시스템 및 개인용 컴퓨터로 구성된 그룹으로부터 선택된 것에 사용되는 것을 특징으로 하는 반도체 장치 제조방법.

#### 청구항 30

제19항에 있어서, 상기 반도체 장치는 휴대전화, 비디오 카메라, 이동 컴퓨터, 고글형 디스플레이, 프로젝터, 휴대용 책, 디지털 카메라, 자동차 헤드 시스템 및 개인용 컴퓨터로 구성된 그룹으로부터 선택된 것에 사용되는 것을 특징으로 하는 반도체 장치 제조방법.

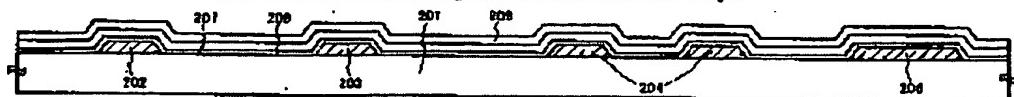
도면

도면1



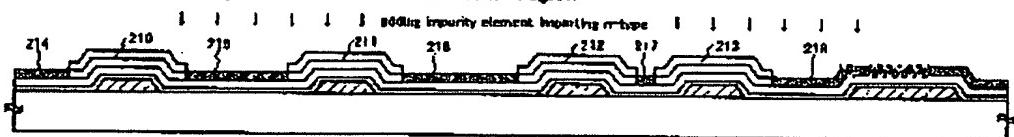
582

## Formation of gate wiring, gate insulating film and semiconductor layer



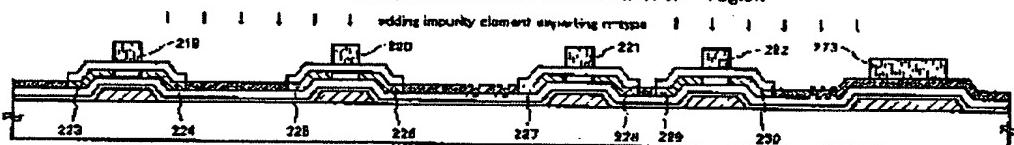
582b

#### **formation of spacer film and formation of $n^+$ region**



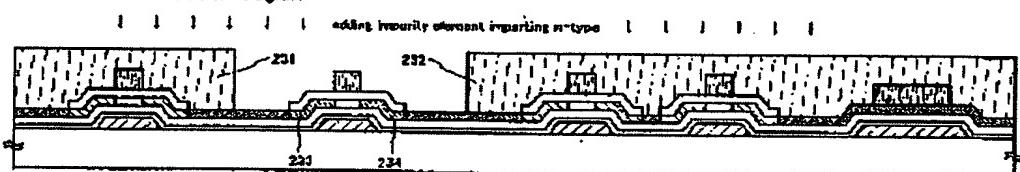
五〇二

## **formation of masks for channel protection and formation of $n^-$ region**



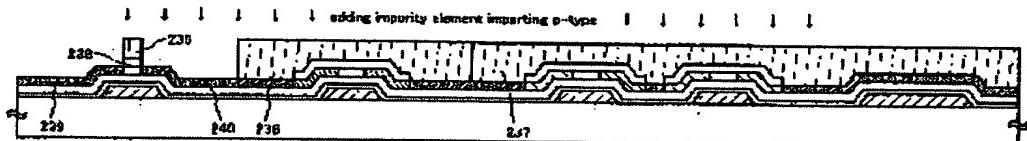
503a

#### **formation of n- region**



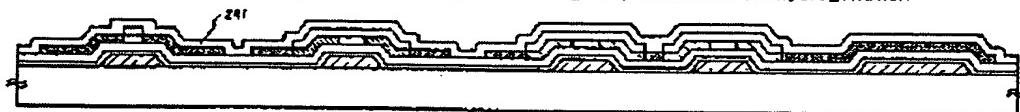
도서번호

### formation of p+ region

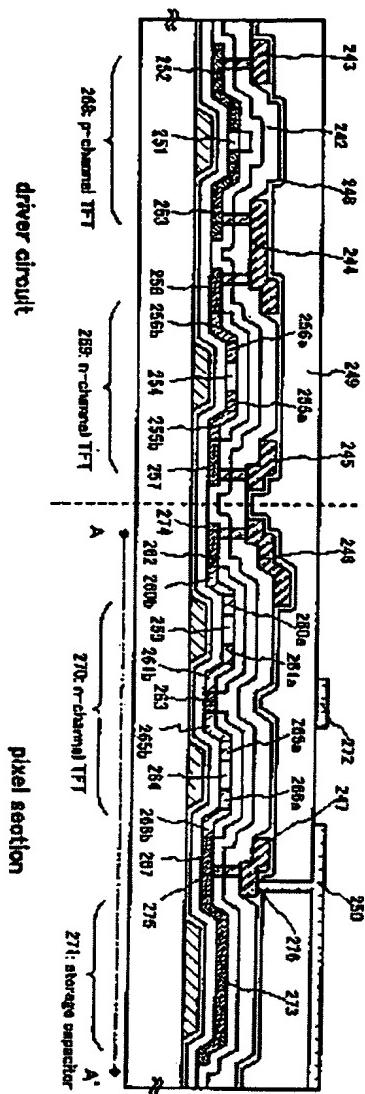


583.

**processes for forming the first interlayer insulating film, activation and hydrogenation**

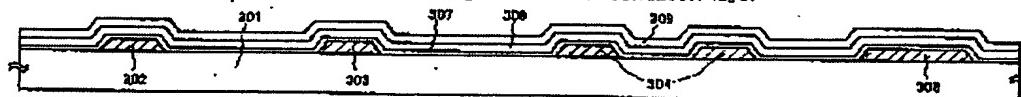


EB4



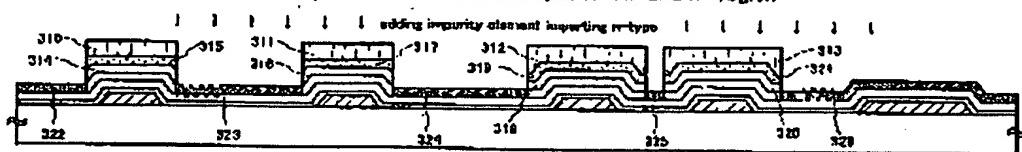
EB5a

Formation of gate wiring, gate insulating film and semiconductor layer

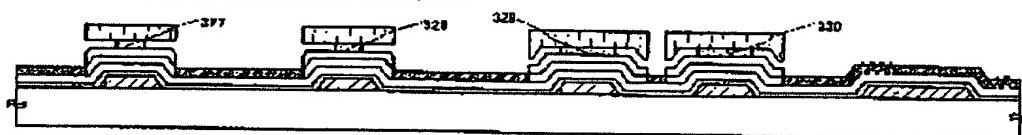


**EB5b**

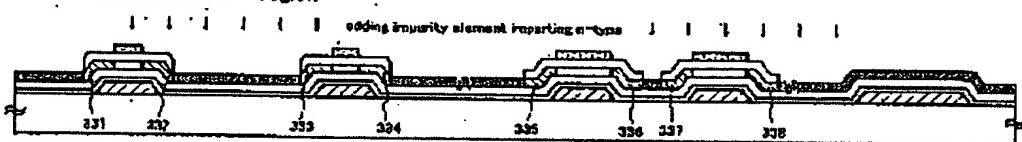
## formation of the first spacer film, the second spacer film and n+ region

**EB5c**

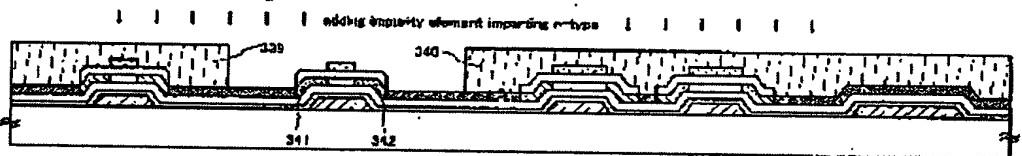
## selective etching of the second spacer

**EB5d**

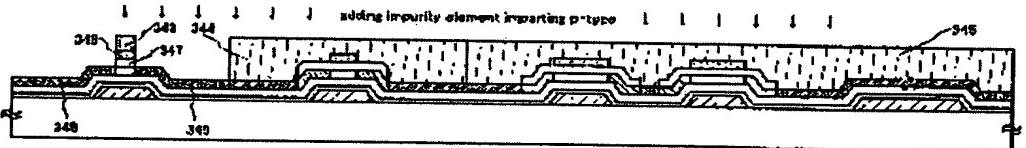
## formation of n++ region

**EB6b**

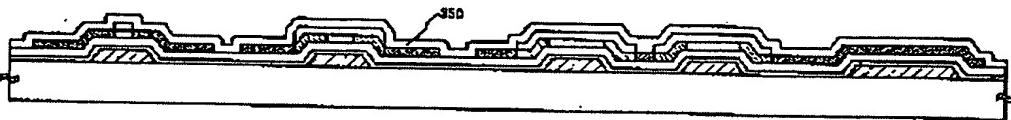
## formation of n- region

**EB6c**

## formation of p+ region

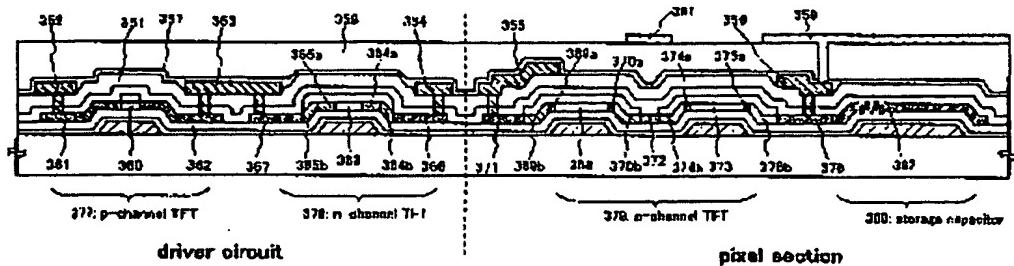
**EB7a**

## process for formation of interlayer insulating film, activation of added impurity, and hydrogenation



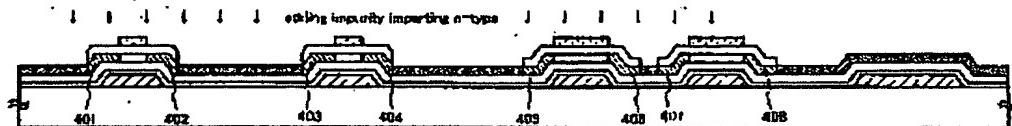
૫૭૮

**formation of interlayer insulating film, source and drain wiring, passivation film and pixel electrode**



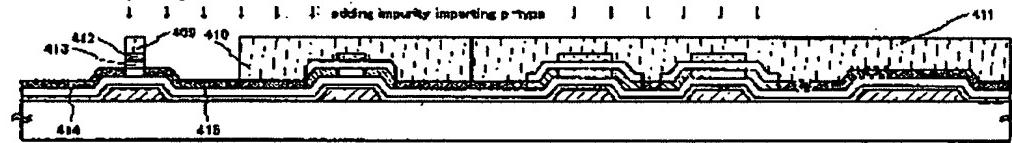
五四〇三

### formation of $\eta$ -region



588

#### **formation of p+ region**

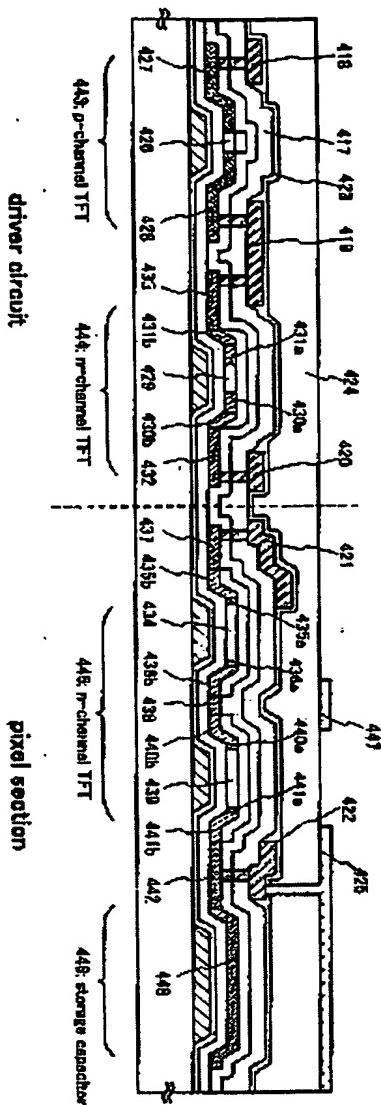


588

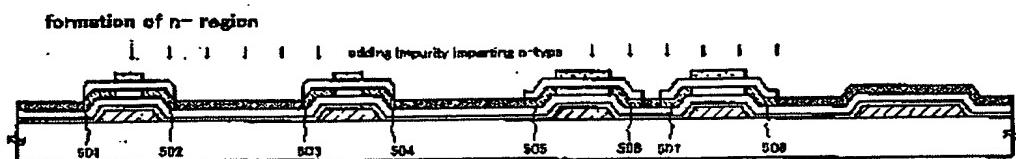
processes for formation of interlayer insulating film, activation of added impurity and hydrogenation



도면 9b

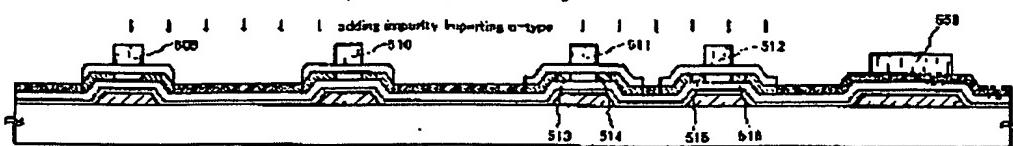


도면 10a



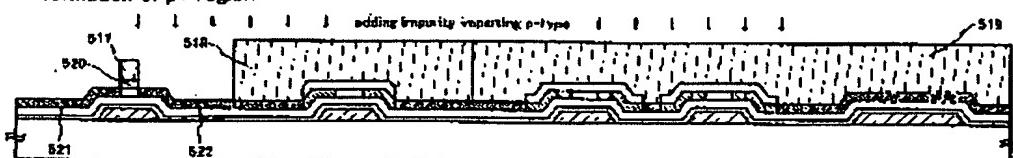
580

formation of masks for channel protection, and n—region

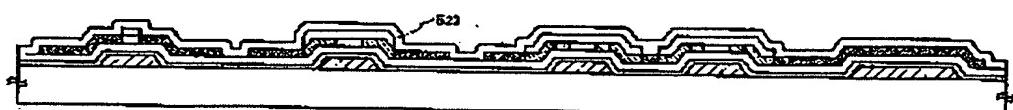


5810

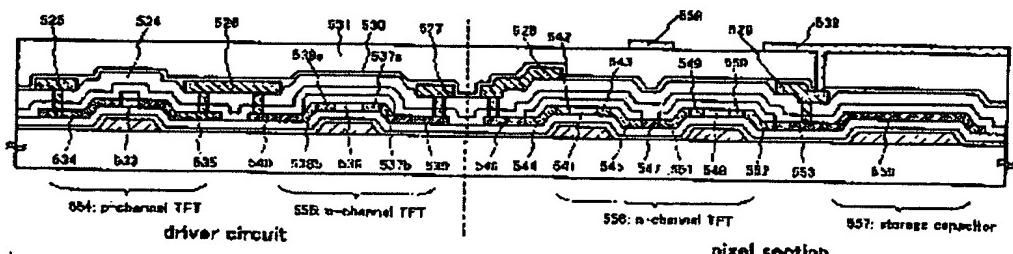
### **formation of p+ region**



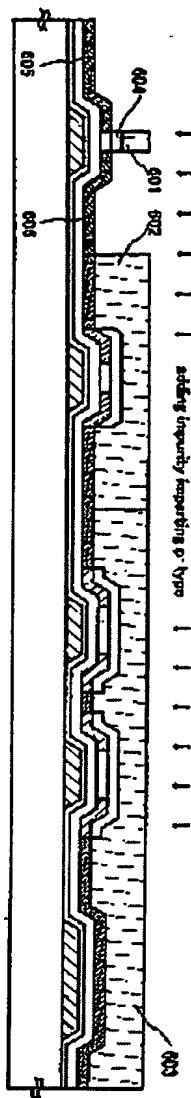
583



卷之三

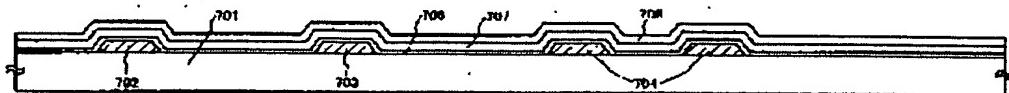


EB12



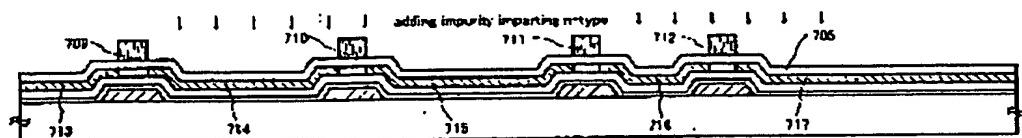
EB13a

formation of gate wiring, gate insulating film and semiconductor layer

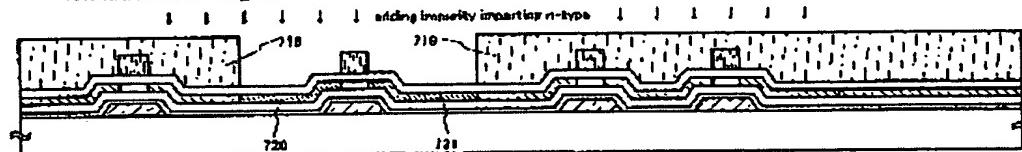


**도면 13b**

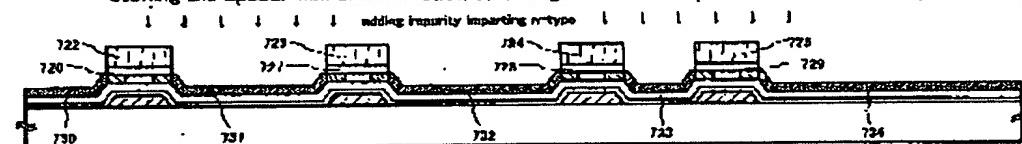
## formation of spacer film and n+ region

**도면 13c**

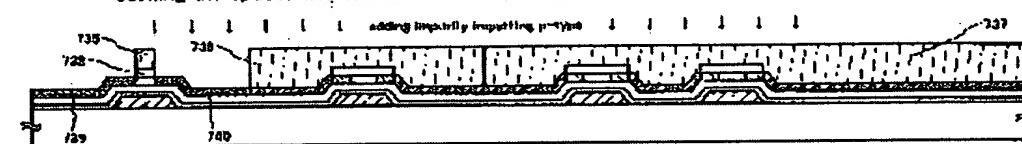
## formation of n- region

**도면 14a**

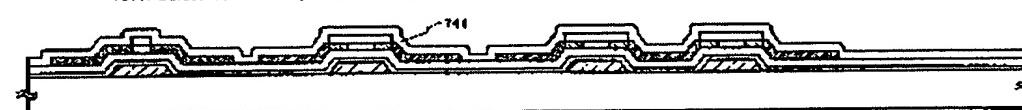
## etching the spacer film and formation of n+ region

**도면 14b**

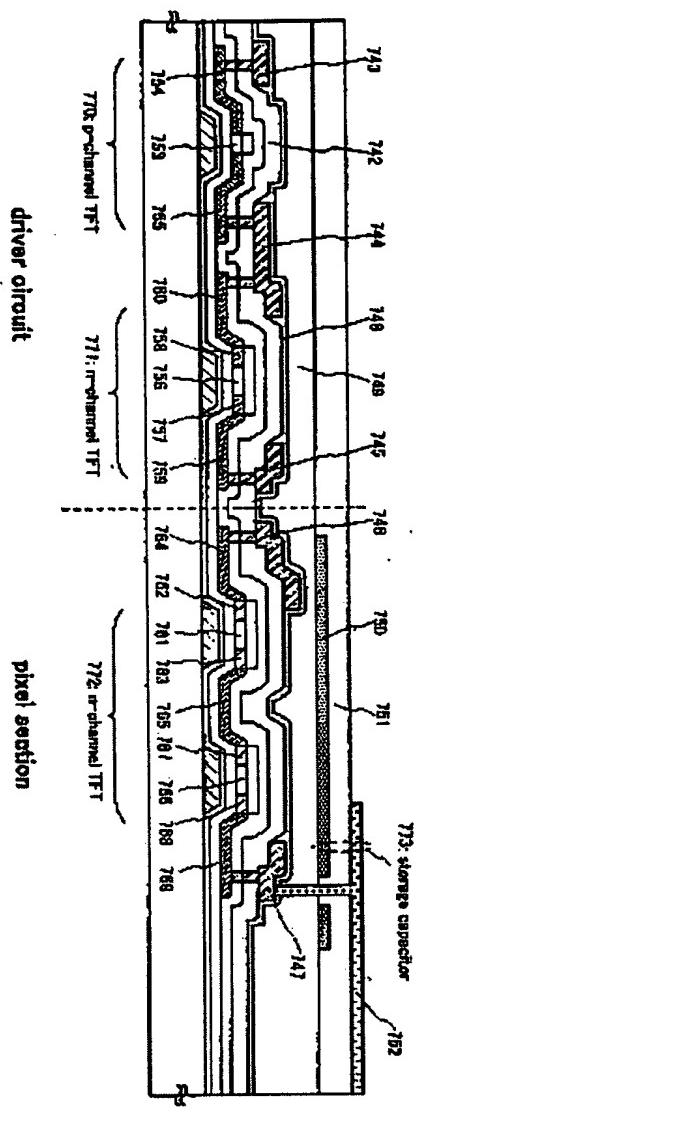
## etching the spacer film and formation of p+ region

**도면 14c**

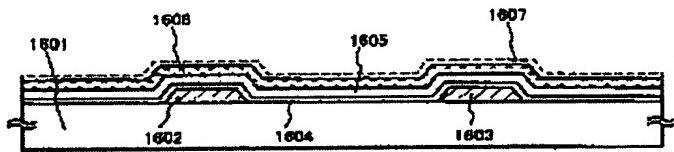
## formation of interlayer insulating film, activation of added impurity and hydrogenation

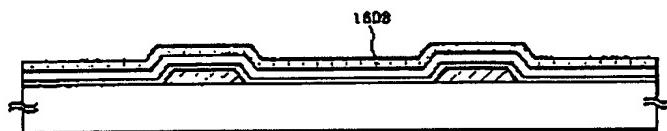
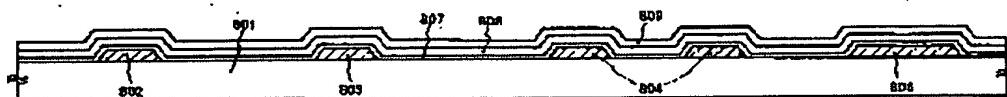
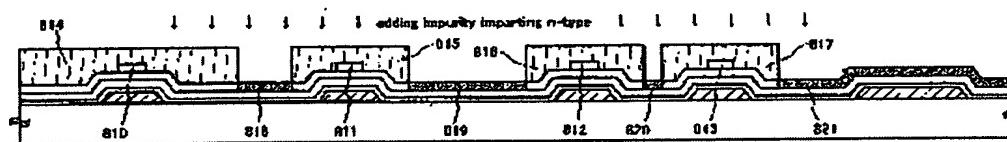
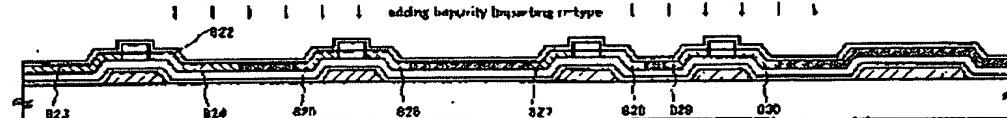
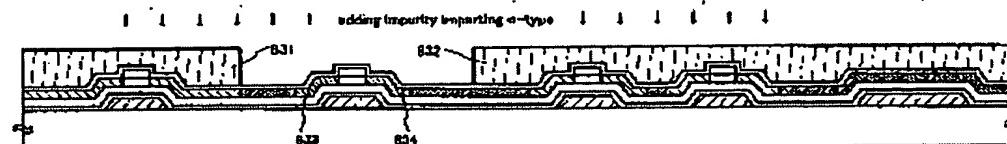


五四三

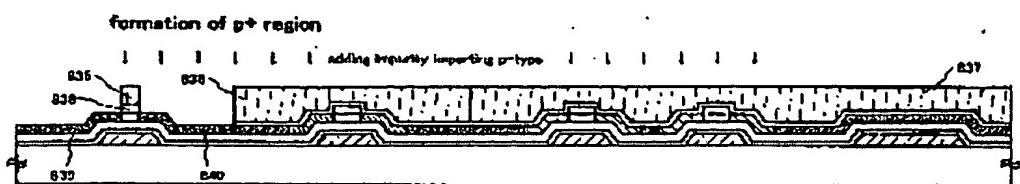


卷之三

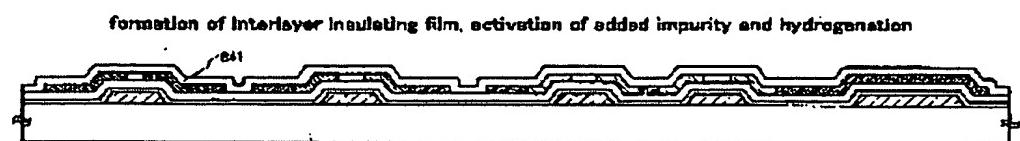


**도면 16b****dehydrogenation, thermal crystallization****도면 16c****laser crystallization****도면 17a****formation of gate wiring, gate insulating film and semiconductor layer****도면 17b****formation of spacer film and n+ region****도면 17c****formation of masks for channel protection, and n--region****도면 18a****formation of n- region**

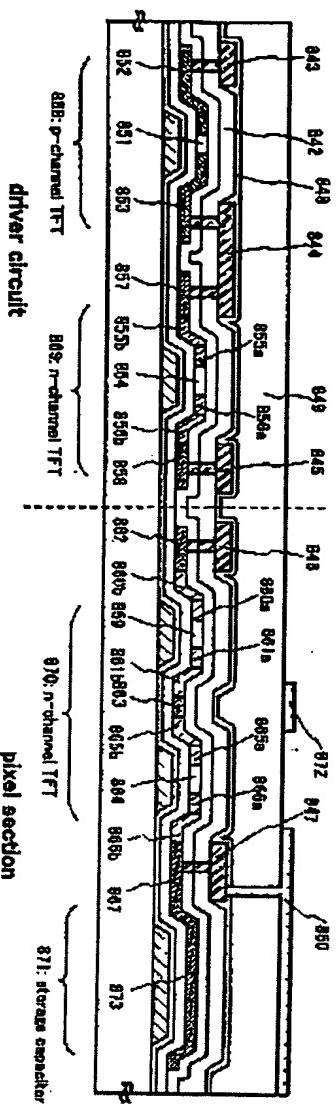
도면 16b



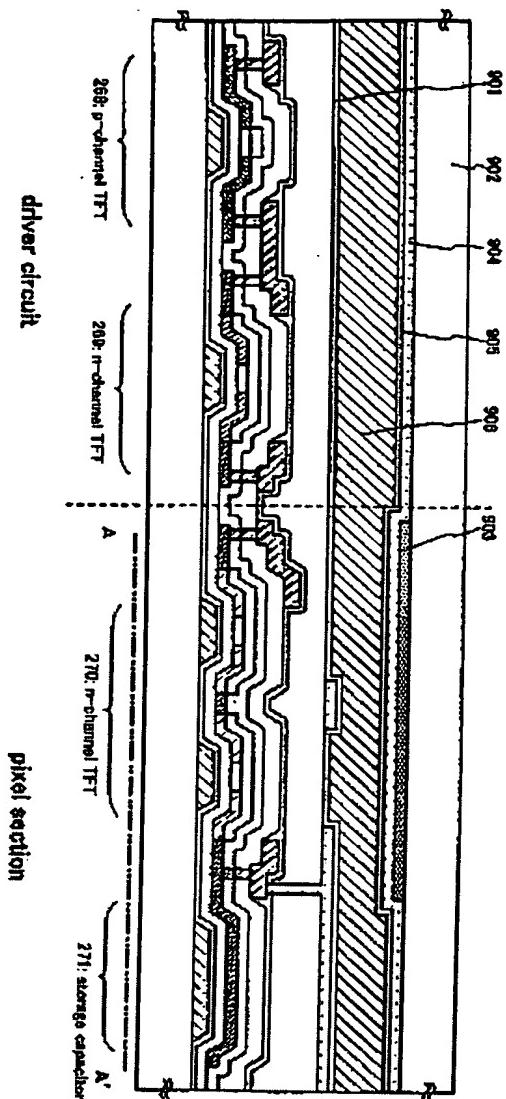
도면 16c



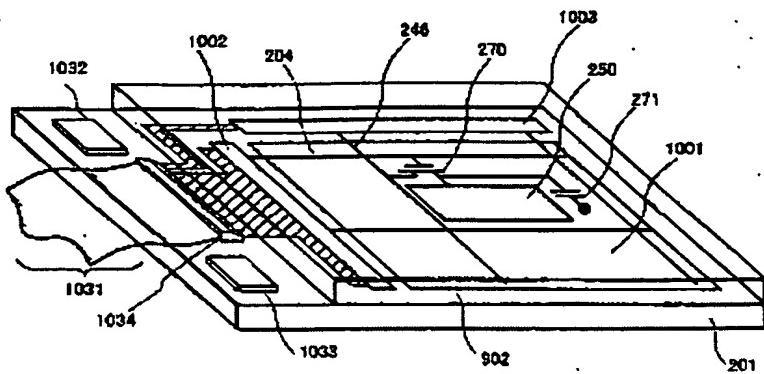
도면 19



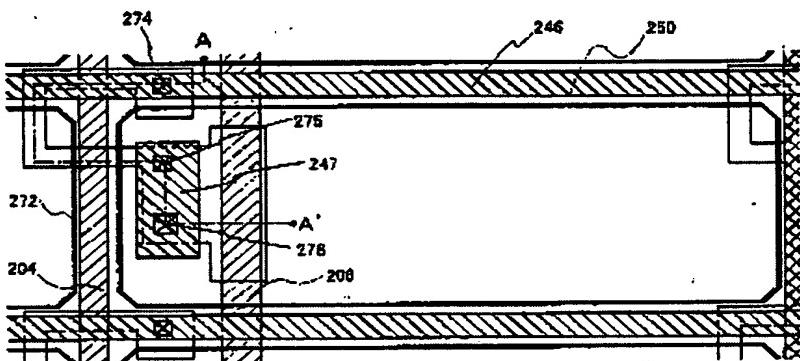
5220



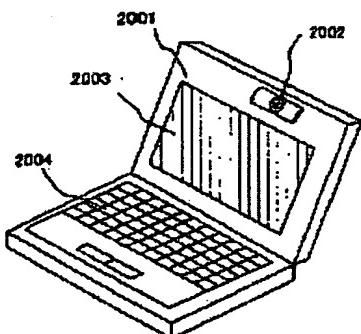
도면21

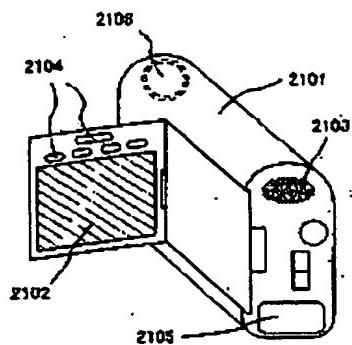
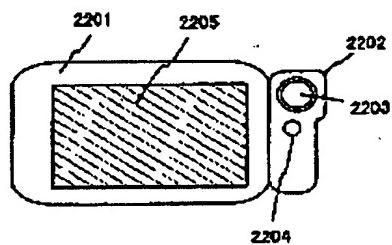
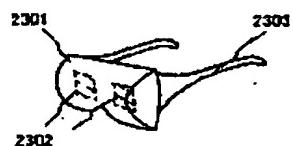
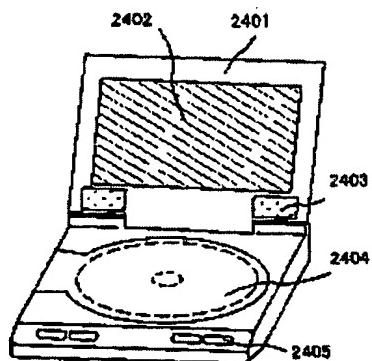


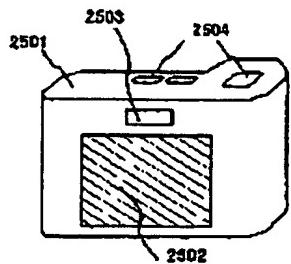
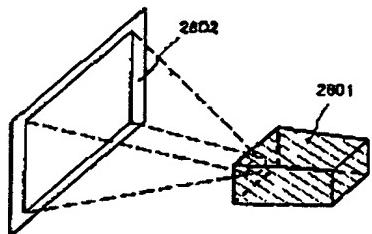
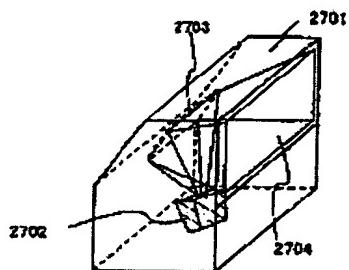
도면22



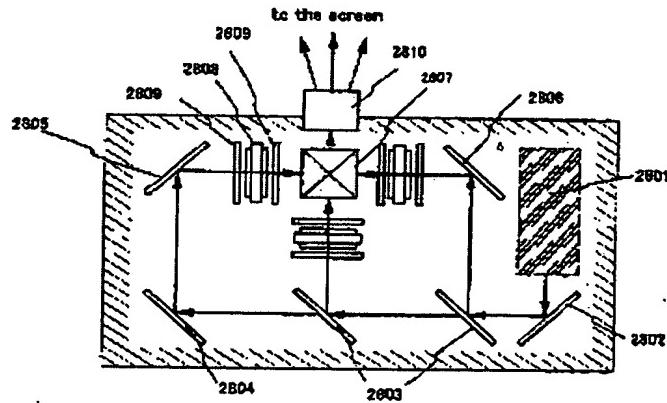
도면23a



도면23b도면23c도면23d도면23e

**도면23****도면24a****도면24b****도면24c**

**optical light source system and display device (3-plate type)**



도면24d

optical light source system

